

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kouta INOUE, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE HAVING MIM CAPACITOR

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-015918

MONTH/DAY/YEAR

January 24, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and


☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月24日

出 願 番 号

Application Number:

特願2003-015918

[ST.10/C]:

[JP2003-015918]

出 願 人

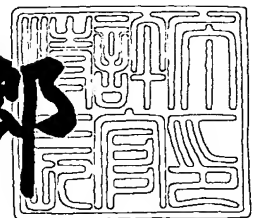
Applicant(s):

三菱電機株式会社

2003年 2月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008366

【書類名】 特許願

【整理番号】 541846JP01

【提出日】 平成15年 1月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 井上 幸多

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 笠岡 竜雄

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 新川田 裕樹

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 延在する主部及び前記主部の側方に延在する複数のフィンを有する金属製の下部電極、金属製の上部電極、及び前記上部電極及び下部電極に挟まれる誘電体を備える MIM 型容量素子を基板の上方に製造する方法であって

前記複数のフィンのうち、少なくとも前記基板から最も遠い一つと前記主部とは同一工程によって形成される、半導体装置の製造方法。

【請求項 2】 前記下部電極は前記基板から上方に延在し、前記上部電極は前記下部電極を包む、請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記複数のフィンの全てのフィンと前記主部とは同一工程によって形成される、請求項 1 記載の半導体装置の製造方法。

【請求項 4】 複数の第 1 の絶縁膜及び複数の第 2 の絶縁膜を交互に積層する工程と、

積層された前記複数の第 1 の絶縁膜及び前記第 2 の絶縁膜に異方性エッチングを施してこれらを貫通する第 1 の開口を形成する工程と、

前記第 1 の開口において前記第 1 の絶縁膜を前記第 2 の絶縁膜よりも高いエッチングレートのエッチングを行い、前記第 1 の絶縁膜の端面が前記第 2 の絶縁膜の端面よりも退いた第 2 の開口を形成する工程と、

前記第 2 の開口を第 1 の金属膜で充填して前記主部と前記フィンとを形成する工程と

を備える、請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記主部及び前記フィンを囲む第 3 の開口を形成する工程と

前記第 3 の開口において前記第 1 の金属膜に対して誘電体膜及び第 2 の金属膜をこの順に積層する工程と

を更に備える、請求項 4 記載の半導体素子の製造方法。

【請求項 6】 前記第 3 の開口において前記第 1 の金属膜並びに前記第 1 の

絶縁膜及び前記第 2 の絶縁膜に対して第 3 の金属膜、前記絶縁体膜及び前記第 3 の金属膜がこの順に積層され、

前記第 1 の金属膜及び前記第 3 の金属膜が相まって前記下部電極として機能する、請求項 5 記載の半導体装置の製造方法。

【請求項 7】 複数の絶縁膜及び複数の金属膜を交互に積層する工程と、
積層された前記複数の絶縁膜及び前記金属膜に異方性エッチングを施してこれらを貫通する開口を形成し、する工程と、

前記開口を他の金属膜で充填して前記主部を形成する工程と
を備える、請求項 1 記載の半導体装置の製造方法。

【請求項 8】 第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜及び前記第 2 の絶縁膜を貫通する第 1 の開口を形成する工程と、

前記第 1 の開口を充填する第 1 の金属膜を形成する工程と、
前記第 1 の開口を拡げて第 2 の開口を形成する工程と、
前記第 2 の開口において前記第 1 の金属膜に対して誘電体膜及び第 2 の金属膜をこの順に積層する工程と
を備える、半導体装置の製造方法。

【請求項 9】 前記第 2 の開口は前記第 1 の絶縁膜を露出させる、請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の開口は前記第 2 の絶縁膜中に底を有し、前記第 1 の金属膜が前記開口の底から突出する、請求項 8 記載の半導体装置の製造方法。

【請求項 11】 前記第 2 の開口は前記第 1 の絶縁膜及び前記第 2 の絶縁膜を貫通する、請求項 8 記載の半導体装置の製造方法。

【請求項 12】 前記第 1 の開口はその側壁に絶縁膜が設けられ、
第 2 の開口は前記絶縁膜を除去して得られる、請求項 8 記載の半導体装置の製造方法。

【請求項 13】 前記第 2 の開口において前記第 1 の金属膜及び前記第 2 の絶縁膜に対して、第 3 の金属膜、前記誘電体膜及び前記第 2 の金属膜がこの順に

積層され、

を備え、

前記第 1 の金属膜と前記第 3 の金属膜とが相まって容量素子の下部電極として機能する、請求項 8 乃至請求項 1 2 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 4】 絶縁膜において、前記絶縁膜を貫通する第 1 の開口と、前記第 1 の開口よりも広く、前記絶縁膜中に底を有する第 2 の開口とを形成する工程と、

前記第 1 及び第 2 の開口に対して第 1 の金属膜、誘電体膜及び第 2 の金属膜をこの順に積層する工程と

を備え、

前記第 2 の金属膜が上部電極として機能し、少なくとも前記第 2 の開口において設けられた前記第 1 の金属が下部電極として機能する、半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置において用いられる、M I M (Metal-Insulator-Metal) 型の容量素子に関する。

【0 0 0 2】

【従来の技術】

従来から、半導体装置において M I M 型の容量素子が用いられており、金属製の上部電極、金属性の下部電極、及びこれらに挟まれる誘電体を備えている。下部電極は上部電極よりも、半導体装置が形成される基板側に位置する部分を有する電極である。

【0 0 0 3】

上部電極に向かって突出し、ルテニウム膜で形成された下部電極を備えた容量素子は特許文献 1 に例示されている。下部電極は上部電極に向かって突出し、且つ側方にフィンを有する下部電極を備えた容量素子は特許文献 2、特許文献 3 に

例示されている。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 1 - 1 4 4 2 6 6 号公報

【特許文献 2】

特開平 8 - 1 6 7 7 0 2 号公報

【特許文献 3】

特開 2 0 0 0 - 1 0 1 0 4 7 号公報

【0 0 0 5】

【発明が解決しようとする課題】

MIM型の容量素子では下部電極としてルテニウム膜等の金属を採用するので、加工が容易でない。そこで本発明では下部電極の形成を容易にする技術を提供することを目的の一つとする。更にはキャパシタ誘電体膜及び上部電極の形成を容易にする技術を提供することも目的の一つとする。

【0 0 0 6】

【課題を解決するための手段】

この発明にかかる第 1 の半導体装置の製造方法は、延在する主部及び前記主部の側方に延在する複数のフィンを有する金属製の下部電極、金属製の上部電極、及び前記上部電極及び下部電極に挟まれる誘電体を備える MIM 型容量素子を基板の上方に製造する。そして、前記複数のフィンのうち、少なくとも前記基板から最も遠い一つと前記主部とは同一工程によって形成される。

【0 0 0 7】

この発明にかかる第 2 の半導体装置の製造方法は、第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、前記第 1 の絶縁膜及び前記第 2 の絶縁膜を貫通する第 1 の開口を形成する工程と、前記第 1 の開口を充填する第 1 の金属膜を形成する工程と、前記第 1 の開口を拡げて第 2 の開口を形成する工程と、前記第 2 の開口において前記第 1 の金属膜に対して誘電体膜及び第 2 の金属膜をこの順に積層する工程とを備える。

【0 0 0 8】

この発明にかかる第 3 の半導体装置の製造方法は、絶縁膜において、前記絶縁膜を貫通する第 1 の開口と、前記第 1 の開口よりも広く、前記絶縁膜中に底を有する第 2 の開口とを形成する工程と、前記第 1 及び第 2 の開口に対して第 1 の金属膜、誘電体膜及び第 2 の金属膜をこの順に積層する工程とを備える。そして、前記第 2 の金属膜が上部電極として機能し、少なくとも前記第 2 の開口において設けられた前記第 1 の金属が下部電極として機能する。

【 0 0 0 9 】

【発明の実施の形態】

実施の形態 1.

図 1 乃至図 1 4 は本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。破断線の左側にはメモリセル部が、破断線の右側にはメモリセル部以外の半導体素子（例えばトランジスタ）を有する非メモリ部（以下ではロジック部を例に挙げて説明する）が、それぞれ示されている。

【 0 0 1 0 】

メモリセル部及びロジック部は同一の半導体基板 1 0 0 において設けられる。半導体基板 1 0 0 は例えば n 型のシリコンである。半導体基板 1 0 0 の表面には分離酸化膜 1 が選択的に形成され、ウェル形成用の不純物導入及びチャネル領域用の不純物導入を行う。図では簡単のためにチャネル領域は図示していない。上記の不純物導入により、メモリセル部及びロジック部にはそれぞれ p 型のウェル 1 0 1 が設けられている。よって結果的に、ウェル 1 0 1 の表面には分離酸化膜 1 が選択的に形成されていることになる。なおメモリセル部においてはウェル 1 0 1 の底には n 型のウェル 1 0 2 が更に設けられている。

【 0 0 1 1 】

その後、絶縁膜、多結晶シリコン、シリコン酸化膜（例えば T E O S（Tetra Ethyl Ortho Silicate）膜）を順次に積層する。当該シリコン酸化膜はゲート電極の形状にパターニングされてシリコン酸化膜 4 となる。これをマスクとするエッチングによって絶縁膜、多結晶シリコンを整形し、それぞれゲート絶縁膜 2、ゲート電極 3 を得る。残置したシリコン酸化膜 4、ゲート電極 3、ゲート絶縁膜 2 をマスクとして n 型不純物を導入し、第 1 のソース／ドレイン領域 5 1 を形成

する。ここまでの工程によって図 1 に示された構造が得られる。なお、図 1 ではロジック部において NMOS トランジスタが形成される様子が示されるが、PMOS トランジスタが形成されてもよい。その場合には、ロジック部においては n 型のウェルが形成され、p 型不純物を導入してソース／ドレイン領域が形成される。

【 0 0 1 2 】

図 1 に示された構造の上側（半導体基板 1 0 0 から見てゲート電極 3 側）から全面にシリコン窒化膜を堆積し、更にこれに対して異方性エッチングを施すことにより、シリコン酸化膜 4、ゲート電極 3、ゲート絶縁膜 2 の側面にサイドウォール 6 を形成する。シリコン酸化膜 4、ゲート電極 3、ゲート絶縁膜 2、サイドウォール 6 をマスクとして n 型不純物を導入し、第 2 のソース／ドレイン領域 5 2 を形成する。ここまでの工程によって図 2 に示された構造が得られる。第 2 のソース／ドレイン領域 5 2 は第 1 のソース／ドレイン領域 5 1 よりも半導体基板 1 0 0 へ向かって深く形成され、後のシリサイド工程によって懸念される接合リーク電流の抑制を図る。以下では、第 1 のソース／ドレイン領域 5 1 及び第 2 のソース／ドレイン領域 5 2 を併せて扱い、単にソース／ドレイン領域 5 として言及する。

【 0 0 1 3 】

次にシリコン酸化膜 4 を、例えば弗酸を用いて除去し、図 3 に示された構造が得られる。更に図 3 に示された構造の上側から全面にシリサイド用の金属、例えばコバルトを堆積し、熱処理を行う。当該熱処理は例えばランプアニールが採用される。これによりソース／ドレイン領域 5、ゲート電極 3 の上面に低抵抗のシリサイド膜 1 0 が形成される。更に、未反応のコバルトを除去し、図 4 に示される構造が得られる。

【 0 0 1 4 】

図 4 に示された構造の上側から全面にシリコン窒化膜 1 1 を堆積する。更に層間絶縁膜 1 2 を堆積する。層間絶縁膜 1 2 としては例えば B P T E O S (Boro P hospho Tetra Ethyl Ortho Silicate) 膜が採用される。層間絶縁膜 1 2 に対して熱処理及び CMP (Chemical-Mechanical polishing) 処理を施すことにより

、層間絶縁膜 12 の表面を平坦化する。ここまでの工程によって図 5 に示された構造が得られる。

【0015】

次にソース／ドレイン領域 5 において形成されたシリサイド膜 10 を露出させる開口を層間絶縁膜 12 に形成する。当該開口は、シリコン窒化膜 11 をストップとする異方性エッチングを施してシリコン窒化膜 28 を露出させ、露出したシリコン窒化膜 28 を改めてエッチングすることによって形成することができる。当該開口はコンタクト金属 27 で充填される。コンタクト金属 27 は、まずバリアメタルたる下地層を当該開口の内壁及び底面に設け、その後に高融点金属で下地層を介して当該開口を充填して形成される。層間絶縁膜 12 とコンタクト金属 27 のそれぞれの上面が同一平面に位置するように、平坦化されることが望ましい。ここまでの工程によって図 6 に示された構造が得られる。下地層としては窒化チタンを、高融点金属としてはチタン又はタングステンを、それぞれ例示することができる。

【0016】

なお、層間絶縁膜 12 の異方性エッチングはゲート電極 3 やサイドウォール 6 に対して自己整合的には行われたい。従ってコンタクト金属 27 とゲート電極 3 との短絡を回避するために、両者の間の距離を、アライメント精度、各構成要素の寸法のばらつき、及び絶縁性を考慮して設定することが望ましい。

【0017】

図 6 に示された構造の上側から全面にシリコン窒化膜 28 を堆積し、図 7 に示された構造が得られる。更に図 7 に示された構造の上側から全面に金属膜 291、層間絶縁膜 151、金属膜 292、層間絶縁膜 152 を、この順に堆積する。金属膜 291、292 はいずれも高融点金属（例えばルテニウム）を含む金属膜が採用される。層間絶縁膜 151、152 は、シリコン窒化膜 28 や金属膜 291、292 に対して高いエッチングレートでエッチングが可能な材料、例えば BPTEOS 膜が採用される。その後、層間絶縁膜 151、152 や金属膜 291、292 を貫通し、下部電極を形成すべき位置のコンタクト金属 27 を露出させる開口 32a を形成する。ここまでの工程によって図 8 に示された構造が得られ

る。

【 0 0 1 8 】

開口 3 2 a は例えばシリコン窒化膜 2 8 をストッパとして金属膜 2 9 1, 2 9 2 及び層間絶縁膜 1 5 1, 1 5 2 に対して異方性エッチングを施してシリコン窒化膜 2 8 を露出させ、露出したシリコン窒化膜 2 8 を改めてエッチングすることで形成できる。開口 3 2 a は容量素子の下部電極のために形成されるので、ロジック部においては形成されない。図 8 ではメモリセル部に示された 3 つのコンタクト金属 2 7 のうち、中央のものを除いた両側のものが、開口 3 2 a によって露出している場合が例示されている。

【 0 0 1 9 】

図 8 に示された構造の上側から全面に金属膜 2 9 3 を堆積する。金属膜 2 9 3 は開口 3 2 a を充填しつつ、層間絶縁膜 1 5 2 を覆う（図 9）。そして開口 3 2 a 及びその近傍を残す異方性エッチングを行って、図 1 0 に示されるように、下部電極 2 9 a を形成する。当該エッチングにおいてはシリコン窒化膜 2 8 をストッパとすることができる。

【 0 0 2 0 】

下部電極 2 9 a は構造上、コンタクト金属 2 7 から上方へと延在する主部 2 9 5 と、主部 2 9 5 の側方へと延在する少なくとも一つのフィン 2 9 4 とを備える。主部 2 9 5 は例えば円柱形であり、フィン 2 9 4 は例えば主部 2 9 5 を取り囲むリング状を呈する。図 1 0 ではフィン 2 9 4 が上下方向、すなわち主部 2 9 5 が延在する方向について 3 個存在する場合が例示されているが、図 8 を用いて説明された層間絶縁膜と金属膜との交互の積層を、更に増加させることによってフィン 2 9 4 の数を増大させてもよい。フィンの数が増大すれば、製造される容量素子の静電容量も増大する。

【 0 0 2 1 】

主部 2 9 5 及び最も上側の（すなわち最も基板 1 0 0 から離れた）フィン 2 9 4 は金属膜 2 9 3 によって同一工程において形成され、その下のフィン 2 9 4 及び最も下側のフィン 2 9 4 はそれぞれ金属膜 2 9 2, 2 9 1 によって形成された。最も上側のフィン 2 9 4 を主部 2 9 5 と同一工程において形成することにより

、両者を別途に形成する場合と比較して、工程数を低減することができる。

【0022】

またフィン294の形成にはエッチバックを要せず、一旦成膜した金属膜291、292、293に対してフォトリソグラフィーを用いたエッチングを施すことにより、フィン294を形成することができる。よって加工が容易でない金属を下部電極29aとして採用するMIM型の容量素子においても、フィン294を有する下部電極29aを容易に形成することができる。

【0023】

上述のように、層間絶縁膜151、152はシリコン窒化膜28や金属膜291、292に対して高いエッチングレートでエッチングが可能なので、図10に示された構造から、容易に層間絶縁膜151、152のみを除去することができる。図10に示された構造から層間絶縁膜151、152のみを除去し、上側から全面に誘電体膜（例えば五酸化タンタル）を堆積し、パターニングを行って、下部電極29aの表面にのみ当該誘電体を残置し、キャパシタ誘電体膜33aを形成する。その後更に高融点金属（例えばルテニウム）を含む金属膜を堆積し、パターニングを行って上部電極30aを形成する。上部電極30a、下部電極29a、キャパシタ誘電体膜33aを有する容量素子Caが得られる（図11）。キャパシタ誘電体膜33aも上部電極30aも、ロジック部や、メモリセル部における3つのコンタクト金属27のうち中央のものの上方には形成されない。

【0024】

あるいは層間絶縁膜151、152のみを除去した後、上側から全面に誘電体膜及び金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜33a及び上部電極30aを形成してもよい。その場合には、キャパシタ誘電体膜33aは、下部電極29aの表面のみならず、上部電極30aとシリコン窒化膜28との間にも残置する。

【0025】

図11に示された構造の上側から全面に層間絶縁膜19を堆積し、CMP処理を施すことにより、層間絶縁膜19の表面を平坦化する。層間絶縁膜19としては例えばプラズマCVD法を用いて成膜されるTEOS膜（以下「プラズマTE

OS膜」と称する)が採用される。その後、ロジック部のコンタクト金属27や、メモリセル部における3つのコンタクト金属27のうち中央のものを露出する開口31を形成する(図12)。図示されないが、開口31として、上部電極30aを露出させるものを形成してもよい。開口31の形成は、まずシリコン窒化膜28をストッパとして、シリコン窒化膜28と比較して高いエッチングレートで層間絶縁膜19を異方性エッチングする。そして露出したシリコン窒化膜28を改めてエッチングする。よって開口31の形成に際して、層間絶縁膜19のオーバーエッチングを回避できる。

【0026】

次に、開口31はコンタクト金属21で充填される。コンタクト金属21は、まずバリアメタルたる下地層を開口31の内壁及び底面に設け、その後に高融点金属で当該下地層を介して開口31を充填して形成される。層間絶縁膜19とコンタクト金属21のそれぞれの上面が同一平面に位置するように、平坦化されることが望ましい。ここまでの工程によって図13に示された構造が得られる。下地層としては窒化チタンを、高融点金属としてはチタン又はタングステンを、それぞれ例示することができる。

【0027】

上述のように、開口31の形成に際して層間絶縁膜19のオーバーエッチングを回避できるので、開口31を充填するコンタクト金属21がゲート電極3やソース/ドレイン領域5と短絡することを回避できる。

【0028】

そして図14に示されるように、コンタクト金属21に接続される配線20が層間絶縁膜19上に形成される。配線20は下から順に積層されたバリアメタル23、アルミ配線24、バリアメタル25を有している。バリアメタル23、25としては窒化チタンを例示できる。配線20は例えばビット線として機能し、メモリセル部は容量素子Caがビット線たる配線20の下方に配置されるCUB(Capacitor Under Bit-line)構造を有してもよい。

【0029】

以上のようにして下部電極29aは、その下方に形成されたソース/ドレイン

領域 5 及びゲート電極 3 を有するトランジスタを介して、配線 2 0 と接続され得る。

【 0 0 3 0 】

本実施の形態によれば、フィン 2 9 4 を用いることにより、容量素子 C a の容量を増大させることができる。また下部電極 2 9 a が上部電極 3 0 a に向かって突出し、下部電極 2 9 a を上部電極 3 0 a が包む構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極 2 9 a を容易に形成することができる。

【 0 0 3 1 】

実施の形態 2.

図 1 5 乃至図 2 2 は本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 7 に示された構造を得る。更に図 7 に示された構造の上側から全面に層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 を、この順に堆積する。同一のエッチング条件において層間絶縁膜 1 5 1, 1 5 2, 1 5 3 が、シリコン窒化膜 2 8 や層間絶縁膜 3 4 1, 3 4 2 に対して高いエッチングレートでエッチングされるように、これらの層間絶縁膜の材料を選定する。例えば層間絶縁膜 1 5 1, 1 5 2, 1 5 3 として B P T E O S 膜を採用し、層間絶縁膜 3 4 1, 3 4 2 としてノンドープシリコン酸化膜が採用される。その後、層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 を貫通し、下部電極を形成すべき位置のコンタクト金属 2 7 を露出させる開口 3 2 a を形成する。ここまでの工程によって図 1 5 に示された構造が得られる。

【 0 0 3 2 】

開口 3 2 a は例えばシリコン窒化膜 2 8 をストッパとして層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 に対して異方性エッチングを施してシリコン窒化膜 2 8 を露出させ、露出したシリコン窒化膜 2 8 を改めてエッチングすることで形成できる。開口 3 2 a は容量素子の下部電極のために形成されるので、ロジック部においては形成されない。図 1 5 ではメモリセル部に示された 3 つのコンタクト金属 2 7 のうち、中央のものを除いた両側のものが、開口 3 2 a によって

露出している場合が例示されている。

【 0 0 3 3 】

次いでシリコン酸化膜のエッチング、例えばウェットエッチングを行う。上述のように材料を選択することにより、層間絶縁膜 1 5 1, 1 5 2, 1 5 3 が層間絶縁膜 3 4 1, 3 4 2 に対して高いエッチングレートでエッチングされるエッチャントを選定することは容易である。よって開口 3 2 a は層間絶縁膜 1 5 1, 1 5 2, 1 5 3 が設けられた位置において拡大した開口 3 2 b となり、図 1 6 に示された構造を得る。換言すれば、開口 3 2 b において層間絶縁膜 1 5 1, 1 5 2, 1 5 3 は層間絶縁膜 3 4 1, 3 4 2 よりも退いた端面を有している。当該ウェットエッチングにおいてシリコン窒化膜 2 8 のエッチングレートを小さくし、層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 とシリコン窒化膜 2 8 とのエッチング選択性を高めることは容易である。よって当該エッチングによって開口 3 2 b の底部は拡がりにくくできる。

【 0 0 3 4 】

図 1 6 に示された構造の上側から全面に、下部電極の材料となる金属膜、例えばルテニウムのような高融点金属を含む金属膜を堆積する。当該金属膜は開口 3 2 b を充填する。開口 3 2 b を充填する部分にのみ当該金属膜を残置して、下部電極 2 9 b が形成される（図 1 7）。かかる下部電極 2 9 b は、CMP 処理を施して、当該金属膜のうち層間絶縁膜 1 5 3 上に存在していた部分を、選択的に除去することにより形成できる。あるいは金属膜のうち、下部電極 2 9 b として残しておくべき位置をフォトリジストで覆って、異方性エッチングを行ってもよい。

【 0 0 3 5 】

次いで層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 をエッチング、例えばウェットエッチングで除去する。当該エッチングにおいてシリコン窒化膜 2 8 のエッチングレートを小さくし、これに対して層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 のエッチング選択比を大きくするエッチャントを選定することは容易である。

【 0 0 3 6 】

下部電極 2 9 b も、下部電極 2 9 a と同様に、その構造上、コンタクト金属 2 7 から上方へと延びる主部 2 9 5 と、主部 2 9 5 の側方へと延びる少なくとも一つのフィン 2 9 4 とを備える。図 1 8 ではフィン 2 9 4 が上下方向について 3 個存在する場合が例示されているが、図 1 5 を用いて説明された二種の層間絶縁膜の交互の積層を、更に増加させることによってフィン 2 9 4 の数を増大させてもよい。フィンの数が増大すれば、製造される容量素子の静電容量も増大する。

【 0 0 3 7 】

本実施の形態では、主部 2 9 5 及び全てのフィン 2 9 4 を、金属膜による開口 3 2 b の充填によって一度に形成する。よって下部電極 2 9 b を形成する工程数は少なく済む。

【 0 0 3 8 】

またフィン 2 9 4 の形成にはエッチバックを要せず、最上面の整形を除けば下部電極 2 9 b の材料となる金属膜をエッチングする工程も不要である。よって加工が容易でない金属を下部電極 2 9 b として採用する M I M 型の容量素子においても、フィン 2 9 4 を有する下部電極 2 9 b を容易に形成することができる。

【 0 0 3 9 】

図 1 8 に示された構造に対して上側から全面に誘電体膜（例えば五酸化タンタル）を堆積し、更に高融点金属（例えばルテニウム）を含む金属膜を堆積してから、パターンニングを行い、キャパシタ誘電体膜 3 3 b 及び上部電極 3 0 b を形成する。上部電極 3 0 b、下部電極 2 9 b、キャパシタ誘電体膜 3 3 b を有する容量素子 C b が得られる（図 1 9）。キャパシタ誘電体膜 3 3 b も上部電極 3 0 b も、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。

【 0 0 4 0 】

この後、実施の形態 1 において図 1 2 乃至図 1 4 に示されたのと同様の工程が実行される。図 1 9 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 2 0）。開口 3 1 の形

成は、まずシリコン窒化膜 2 8 をストッパとして、層間絶縁膜 1 9 を異方性エッチングする。そして露出したシリコン窒化膜 2 8 を改めてエッチングする。よって開口 3 1 の形成に際して、層間絶縁膜 1 9 のオーバーエッチングを回避できる。図示されないが、開口 3 1 として、上部電極 3 0 b を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 2 1）。

【 0 0 4 1 】

上述のように、開口 3 2 b の形成時にもその底部が拡がりにくく、下部電極 2 9 b がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。開口 3 1 の形成に際してシリコン絶縁膜 2 8 をストッパとして層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 0 4 2 】

そして図 2 2 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 0 4 3 】

本実施の形態によれば、フィン 2 9 4 を用いることにより、容量素子 C b の容量を増大させることができる。また下部電極 2 9 b が上部電極 3 0 b に向かって突出し、下部電極 2 9 b を上部電極 3 0 b が包む構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極 2 9 b を容易に形成することができる。

【 0 0 4 4 】

実施の形態 3 .

図 2 3 乃至図 2 8 は本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 2 に示された工程により、図 1 7 に示された構造を得る。更に下部電極 2 9 b の周囲の一定範囲の層間絶縁膜 1 5 1 , 3 4 1 , 1 5 2 , 3 4 2 , 1 5 3 を選択的に、例えば異方性エッチングで除去し、下部電極 2 9 b を囲む開口 3 9 a を形成する（図 2 3）。例えば層間絶縁膜 1 5 1 , 3 4 1 , 1 5 2 , 3 4 2 , 1 5 3 はいずれもシリコン酸化膜であり、シリコン窒化膜 2 8 を当該エッチングのストッパとすることは容易である。また当該

エッチングでは、コンタクト金属 2 7 のうち下部電極 2 9 b がその上に形成されないものの上方では、層間絶縁膜 1 5 1, 3 4 1, 1 5 2, 3 4 2, 1 5 3 が残置される。

【 0 0 4 5 】

次にシリコン酸化膜のエッチングを行い、下部電極 2 9 b のフィン 2 9 4 の間に残置した層間絶縁膜 3 4 1, 3 4 2 を除去して、図 2 4 に示された構造を得る。例えば下部電極 2 9 b の最も上のフィン 2 9 4 を露出させるフォトレジストをマスクとしてウェットエッチングを行えば、開口 3 9 a へと侵入したエッチャントによって下部電極 2 9 b のフィン 2 9 4 の間に残置した層間絶縁膜 3 4 1, 3 4 2 を除去することができる。当該エッチングにおいてはシリコン窒化膜 2 8 をストッパとするエッチャントを選択することは容易である。開口 3 2 b (図 1 6 参照) を形成する際と同様に、層間絶縁膜 1 5 1, 1 5 2, 1 5 3 が、シリコン窒化膜 2 8 に対してはもとより、層間絶縁膜 3 4 1, 3 4 2 に対しても高いエッチングレートでエッチングが行われる可能性がある。よって図 2 4 では開口 3 9 a が開口 3 9 b へと拡がり、層間絶縁膜 1 5 1, 1 5 2, 1 5 3 が、下部電極 2 9 に対して、層間絶縁膜 3 4 1, 3 4 2 よりも退いた端面を有している場合が示されている。但し、開口 3 9 b におけるこのような広がりや開口 3 2 b を形成する場合のような必然性はない。

【 0 0 4 6 】

その後、実施の形態 2 と同様にして、図 2 4 に示された構造に対して上側から全面に誘電体膜 (例えば五酸化タンタル) を堆積し、更にルテニウムのような高融点金属を含む金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜 3 3 c 及び上部電極 3 0 c を形成する。上部電極 3 0 c、下部電極 2 9 b、キャパシタ誘電体膜 3 3 c を有する容量素子 C c が得られる (図 2 5)。開口 3 9 b において、キャパシタ誘電体膜 3 3 d、上部電極 3 0 d はこの順に、下部電極 2 9 b に対して積層される。キャパシタ誘電体膜 3 3 c も上部電極 3 0 c も、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。

【 0 0 4 7 】

図 25 に示された構造の上側から全面に層間絶縁膜 19 を堆積し、CMP 処理を施すことにより、層間絶縁膜 19 の表面を平坦化する。その後、ロジック部のコンタクト金属 27 や、メモリセル部における 3 つのコンタクト金属 27 のうち中央のものを露出する開口 31 を形成する（図 26）。図示されないが、開口 31 として、上部電極 30c を露出させるものを形成してもよい。そして開口 31 はコンタクト金属 21 で充填される（図 27）。

【0048】

開口 31 の形成に際しては一旦シリコン窒化膜 28 をストッパとして層間絶縁膜 19 をエッチングし、その後に改めてシリコン窒化膜 28 をエッチングする。従って層間絶縁膜 19 のオーバーエッチングを回避できるので、開口 31 を充填するコンタクト金属 21 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【0049】

そして図 28 に示されるように、コンタクト金属 21 に接続される配線 20 が層間絶縁膜 19 上に形成される。

【0050】

以上のようにして、本実施の形態では実施の形態 2 と同様の効果を得ることができる。しかも、下部電極 29b を形成する際に開口 39b 以外での層間絶縁膜 151, 341, 152, 342, 153 を残置するので平坦性がよく、キャパシタ誘電体膜 33c 及び上部電極 30c を形成するためのパターニング等、後の工程をも容易且つ正確に行うことができる。

【0051】

また、開口 39b の形成時にもその底部が拡がりにくく、上部電極 30c とゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【0052】

実施の形態 4.

図 29 乃至図 32 は本発明の実施の形態 4 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 3 に示された工程により、図 24 に示された構造を得る。更に高融点金属（例えばルテニウム）を含む金属膜、誘電体

膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）を含む金属膜をこの順に堆積し、パターニングを行ってそれぞれ下部電極 2 9 d、キャパシタ誘電体膜 3 3 d、上部電極 3 0 d へと整形する。これにより開口 3 9 b において、後に下部電極 2 9 d の一部となる金属膜、キャパシタ誘電体膜 3 3 d、上部電極 3 0 d はこの順に、下部電極 2 9 b（図 2 4）及び層間絶縁膜 1 5 1， 3 4 1， 1 5 2， 3 4 2， 1 5 3 に対して積層される。上部電極 3 0 d、下部電極 2 9 d、キャパシタ誘電体膜 3 3 d を有する容量素子 C d が得られる（図 2 9）。上部電極 3 0 d、下部電極 2 9 d、キャパシタ誘電体膜 3 3 d は、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。下部電極 2 9 d は図 2 4 に示された下部電極 2 9 b のほか、誘電体膜の堆積前に堆積されて開口 3 9 b の側面にも設けられた金属膜をも有する。よってキャパシタ誘電体膜 3 3 d の表面積を大きくとることができ、容量素子 C d の静電容量を大きくとることができる。

【 0 0 5 3 】

特に本実施の形態では、開口 3 9 b において層間絶縁膜 1 5 1， 1 5 2， 1 5 3 が、下部電極 2 9 d に対して、層間絶縁膜 3 4 1， 3 4 2 よりも退いた端面を有していることは有利に働く。開口 3 9 b の側面にも設けられた金属膜の表面積を増大させ、容量素子 C d の静電容量の増大に寄与するからである。

【 0 0 5 4 】

図 2 9 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 3 0）。図示されないが、開口 3 1 として、上部電極 3 0 d を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 3 1）。開口 3 1 の形成に際してはシリコン窒化膜 2 8 をストッパとして層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。そして図 3 2 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 0 5 5 】

本実施の形態では、下部電極 2 9 d を構成する金属膜を二回に分けて形成する必要がある点を除き、実施の形態 3 と同様の効果を得ることができる。しかも、静電容量を高めることもできる。

【 0 0 5 6 】

実施の形態 5.

図 3 3 乃至図 4 1 は本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 7 に示された構造を得る。更に図 7 に示された構造の上側から全面に金属膜 2 9 1、層間絶縁膜 1 5 1、金属膜 2 9 2、層間絶縁膜 1 5 2 を、この順に堆積する。その後、下部電極を形成すべき位置のコンタクト金属 2 7 を露出させる開口 3 2 a と、開口 3 2 a の周囲に開口 3 9 c を形成する（図 3 3）。開口 3 2 a、3 9 c は同一のエッチング工程によって形成することができる。コンタクト金属 2 7 のうち開口 3 2 a によって露出されないものの上方では、層間絶縁膜 1 5 1、1 5 2 及び金属膜 2 9 1、2 9 2 が残置される。ここまでの工程によって図 3 3 に示された構造が得られる。

【 0 0 5 7 】

図 3 3 に示された構造の上側から全面に金属膜 2 9 3 を堆積する。金属膜 2 9 3 は開口 3 2 a、3 9 c を充填しつつ、層間絶縁膜 1 5 2 を覆う（図 3 4）。

【 0 0 5 8 】

開口 3 2 a から開口 3 9 c にかけての領域を覆うフォトリジストをマスクとして、金属膜 2 9 3 をエッチングする。そして同じ形状のマスクを用いて層間絶縁膜 1 5 2 をエッチングして図 3 5 に示された構造が得られる。同じ形状のマスクを用いて金属膜 2 9 2、層間絶縁膜 1 5 1、金属膜 2 9 1 を順次にエッチングし、図 3 6 に示される構造が得られる。この時点では、残置した金属膜 2 9 2、2 9 3 に囲まれた層間絶縁膜 1 5 2 と、残置した金属膜 2 9 1、2 9 2、2 9 3 に囲まれた層間絶縁膜 1 5 1 とが残置している。

【 0 0 5 9 】

残置した層間絶縁膜 1 5 2 の上方で開口するフォトリジストをマスクとして、

金属膜 2 9 3、層間絶縁膜 1 5 2、金属膜 2 9 2、層間絶縁膜 1 5 1、金属膜 2 9 1 を順次にエッチングする。当該エッチングによって層間絶縁膜 1 5 1、1 5 2 は除去され、残置した金属膜 2 9 1、2 9 2、2 9 3 が下部電極 2 9 e を形成する（図 3 7）。当該エッチングに用いるマスクを残置していた層間絶縁膜 1 5 2 のサイズよりも小さく設定することにより、フィンを有する下部電極 2 9 e を得ることができる。図 3 7 ではフィンが上下方向について 2 個存在する場合が例示されているが、図 3 3 を用いて説明された層間絶縁膜と金属膜との交互の積層を、更に増加させることによってフィンの数を増大させてもよい。フィンの数が増大すれば、製造される容量素子の静電容量も増大する。

【 0 0 6 0 】

その後、実施の形態 2 と同様にして、図 3 7 に示された構造に対して上側から全面に誘電体膜（例えば五酸化タンタル）を堆積し、更にルテニウムのような高融点金属を含む金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜 3 3 e 及び上部電極 3 0 e を形成する。上部電極 3 0 e、下部電極 2 9 e、キャパシタ誘電体膜 3 3 e を有する容量素子 C e が得られる（図 3 8）。キャパシタ誘電体膜 3 3 e も上部電極 3 0 e も、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のもの（開口 3 2 a が上方に形成されていないもの）の上方には形成されない。

【 0 0 6 1 】

図 3 8 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 3 9）。図示されないが、開口 3 1 として、上部電極 3 0 e を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 4 0）。

【 0 0 6 2 】

上述のように、開口 3 1 の形成に際して層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 0 6 3 】

そして図 4 1 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 0 6 4 】

以上のようにして、本実施の形態では実施の形態 1 と同様の効果を得ることができる。しかも、静電容量を高めることができる。

【 0 0 6 5 】

実施の形態 6 .

図 4 2 乃至図 4 8 は本発明の実施の形態 6 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 7 に示された構造を得る。更に図 7 に示された構造の上側から全面に層間絶縁膜 1 5 を堆積する。層間絶縁膜 1 5 は、シリコン窒化膜 2 8 に対して高いエッチングレートでエッチングが可能な材料、例えば B P T E O S 膜が採用される。その後、下部電極を形成すべき位置で層間絶縁膜 1 5 及びシリコン窒化膜 2 8 を貫通して、コンタクト金属 2 7 を露出させる開口 3 2 を形成することにより、図 4 2 に示された構造が得られる。

【 0 0 6 6 】

開口 3 2 は例えばシリコン窒化膜 2 8 をストッパとして層間絶縁膜 1 5 に対して異方性エッチングを施してシリコン窒化膜 2 8 を露出させ、露出したシリコン窒化膜 2 8 を改めてエッチングすることで形成できる。開口 3 2 は容量素子の下部電極のために形成されるので、ロジック部においては形成されない。図 4 3 ではメモリセル部に示された 3 つのコンタクト金属 2 7 のうち、中央のものを除いた両側のものが、開口 3 2 によって露出している場合が例示されている。

【 0 0 6 7 】

図 4 3 に示された構造の上側から全面に、下部電極の材料となる金属膜、例えばルテニウムのような高融点金属を含む金属膜を堆積する。当該金属膜は開口 3 2 を充填する。開口 3 2 を充填する部分にのみ当該金属膜を残置して、下部電極 2 9 f が形成される（図 4 3）。かかる下部電極 2 9 f は、CMP 処理を施して当該金属膜のうち、層間絶縁膜 1 5 上に存在していた部分を選択的に除去するこ

とにより形成できる。あるいは金属膜のうち、下部電極 2 9 f として残しておくべき位置をフォトリジストで覆って、異方性エッチングを行ってもよい。

【 0 0 6 8 】

次に層間絶縁膜 1 5 を選択的にエッチングすることにより、開口 3 2 を拡げて下部電極 2 9 f を囲む開口 3 9 f を形成する（図 4 4）。そして図 4 4 に示された構造に対して上側から全面に誘電体膜（例えば五酸化タンタル）を堆積し、更に高融点金属（例えばルテニウム）を含む金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜 3 3 f 及び上部電極 3 0 f を形成する。開口 3 9 f においてキャパシタ誘電体膜 3 3 f 及び上部電極 3 0 f はこの順に、下部電極 2 9 f に対して積層する。上部電極 3 0 f、下部電極 2 9 f、キャパシタ誘電体膜 3 3 f を有する容量素子 C f が得られる（図 4 5）。キャパシタ誘電体膜 3 3 f も上部電極 3 0 f も、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。

【 0 0 6 9 】

図 4 5 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 4 6）。図示されないが、開口 3 1 として、上部電極 3 0 f を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 4 7）。

【 0 0 7 0 】

開口 3 2 の形成時には一旦シリコン窒化膜 2 8 をストッパとし、その後に改めてシリコン窒化膜 2 8 をエッチングするので、その底部が拡がりにくく、下部電極 2 9 f がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。開口 3 1 の形成に際してシリコン絶縁膜 2 8 をストッパとして層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 0 7 1 】

そして図 4 8 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が

層間絶縁膜 1 9 上に形成される。

【 0 0 7 2 】

本実施の形態によれば、下部電極 2 9 f が上部電極 3 0 f に向かって突出し、下部電極 2 9 f を上部電極 3 0 f が包む構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極 2 9 f を容易に形成することができる。また下部電極 2 9 f を形成する際にも、上部電極 3 0 f を形成する際にも、容量素子 C f を形成する領域以外での層間絶縁膜 1 5 を残置するので平坦性がよく、後の工程を容易且つ正確に行うことができる。

【 0 0 7 3 】

実施の形態 7.

図 4 9 乃至図 5 2 は本発明の実施の形態 7 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 6 に示された工程により、図 4 4 に示された構造を得る。そして更に図 4 4 に示された構造の上側から高融点金属（例えばルテニウム）を含む金属膜、誘電体膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）をこの順に堆積し、パターニングを行ってそれぞれ金属膜 2 9 6、キャパシタ誘電体膜 3 3 g、上部電極 3 0 g へと整形する。金属膜 2 9 6 は下部電極 2 9 f と相まって下部電極 2 9 g を構成する。上部電極 3 0 g、下部電極 2 9 g、キャパシタ誘電体膜 3 3 g を有する容量素子 C g が得られる（図 4 9）。上部電極 3 0 g、下部電極 2 9 g、キャパシタ誘電体膜 3 3 g は、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。キャパシタ誘電体膜 3 3 g 及び上部電極 3 0 g は、開口 3 9 f において金属膜 2 9 6 を介して、この順に下部電極 2 9 g に対して積層される。また金属膜 2 9 6、キャパシタ誘電体膜 3 3 g 及び上部電極 3 0 g は、開口 3 9 f において、この順に下部電極 2 9 g 上及び層間絶縁膜 1 5 に対して積層される。

【 0 0 7 4 】

金属膜 2 9 6 は図 4 3 に示された下部電極 2 9 f のほか、開口 3 9 f の底面及び側面にも設けられるので、キャパシタ誘電体膜 3 3 g の表面積を大きくとることができ、容量素子 C g の静電容量を大きくとることができる。

【 0 0 7 5 】

図 4 9 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 5 0）。図示されないが、開口 3 1 として、上部電極 3 0 g を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 5 1）。

【 0 0 7 6 】

上述のように、開口 3 1 の形成に際してシリコン絶縁膜 2 8 をストoppaとして層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 0 7 7 】

そして図 5 2 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 0 7 8 】

本実施の形態によれば、実施の形態 6 と同様の効果を得ることに加え、キャパシタ誘電体膜 3 3 g の面積をキャパシタ誘電体膜 3 3 f の面積よりも拡張、容量素子 C g の容量の増大に寄与することができる。

【 0 0 7 9 】

実施の形態 8 .

図 5 3 乃至図 5 8 は本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 6 に示された構造を得る。そして、下部電極となるべき位置のコンタクト金属 2 7 を囲む開口 3 9 h を形成する。開口 3 9 h はロジック部においては形成されない。図 5 3 ではメモリセル部に示された 3 つのコンタクト金属 2 7 のうち、中央のものを除いた両側のものが、開口 3 9 h によって露出している場合が例示されている。

（図 5 3）。開口 3 9 h は層間絶縁膜 1 2 を選択的にエッチングすることで実現できる。当該エッチングにおいてシリコン窒化膜 1 1 及びコンタクト金属 2 7 に

対する層間絶縁膜 1 2 の選択比を高くとるようにエッチング条件を設定することは容易である。よって層間絶縁膜 1 2 のエッチングにおいてシリコン窒化膜 1 1 及びコンタクト金属 2 7 がストッパとなるので、オーバーエッチングによって開口 3 9 h がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 0 8 0 】

図 5 4 に示されるように、開口 3 9 h の底を層間絶縁膜 1 2 中に位置させてもよい。これは開口 3 9 h を形成するための層間絶縁膜 1 2 のエッチングについて、処理時間を制御することによって実現できる。以下では開口 3 9 h の底を層間絶縁膜 1 2 の中に位置させた場合について製造工程の説明を進めるが、図 5 3 に示されるように開口 3 9 h によってシリコン窒化膜 1 1 が露出する構造であっても同様の製造工程を適用することができる。

【 0 0 8 1 】

誘電体膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）をこの順に堆積し、パターニングを行ってそれぞれキャパシタ誘電体膜 3 3 h、上部電極 3 0 h へと整形する。コンタクト金属 2 7 の上側部分は下部電極として機能し、上部電極 3 0 h、キャパシタ誘電体膜 3 3 h と相まって容量素子 C h を構成する（図 5 5）。上部電極 3 0 h、キャパシタ誘電体膜 3 3 h は、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のもの上方には形成されない。キャパシタ誘電体膜 3 3 h 及び上部電極 3 0 h は、この順に開口 3 9 h においてコンタクト金属 2 7 に対して積層される。

【 0 0 8 2 】

図 5 5 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 5 6）。図示されないが、開口 3 1 として、上部電極 3 0 h を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填され（図 5 7）、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される（図 5 8）。

【 0 0 8 3 】

本実施の形態によれば、コンタクト金属 2 7 のうち、その上方部分が容量素子 C h の下部電極として機能するものは、その下方部分が開口 3 9 h の底から突出して容量素子 C h をソース／ドレイン領域 5 へと接続する機能を果たす。よって下部電極として機能する部分と、容量素子 C h を他の部位に接続する部分とが同一処理で形成されるので、工程数を削減できるのみならず、容量素子 C h とソース／ドレイン領域 5 との間の抵抗を低減することができる。また下部電極としても機能するコンタクト金属 2 7 が上部電極 3 0 h に向かって突出し、上部電極 3 0 h によって包まれる構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極の形成が容易である。

【 0 0 8 4 】

実施の形態 9.

図 5 9 乃至図 6 2 は本発明の実施の形態 9 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 8 に示された工程により、図 5 4 に示された構造を得る。その後、高融点金属（例えばルテニウム）を含む金属膜、誘電体膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）をこの順に堆積し、パターニングを行ってそれぞれ金属膜 2 9 7、キャパシタ誘電体膜 3 3 i、上部電極 3 0 i へと整形する。金属膜 2 9 7 はコンタクト金属 2 7 と相まって下部電極 2 9 i を構成する。上部電極 3 0 i、下部電極 2 9 i、キャパシタ誘電体膜 3 3 i を有する容量素子 C i が得られる（図 5 9）。上部電極 3 0 i、キャパシタ誘電体膜 3 3 i、金属膜 2 9 7 は、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。キャパシタ誘電体膜 3 3 i 及び上部電極 3 0 i は、開口 3 9 h において、金属膜 2 9 7 を介してこの順に下部電極 2 9 i に対して積層される。金属膜 2 9 7、キャパシタ誘電体膜 3 3 i 及び上部電極 3 0 i は、開口 3 9 h において、この順にコンタクト金属 2 7 及び層間絶縁膜 1 2 に対して積層される。

【 0 0 8 5 】

金属膜 2 9 7 はコンタクト金属 2 7 のほか、開口 3 9 h の底面及び側面にも設けられるので、キャパシタ誘電体膜 3 3 i の表面積を大きくとることができ、容

量素子C i の静電容量を大きくとることができる。

【0086】

図59に示された構造の上側から全面に層間絶縁膜19を堆積し、CMP処理を施すことにより、層間絶縁膜19の表面を平坦化する。その後、ロジック部のコンタクト金属27や、メモリセル部における3つのコンタクト金属27のうち中央のものを露出する開口31を形成する(図60)。図示されないが、開口31として、上部電極30iを露出させるものを形成してもよい。そして開口31はコンタクト金属21で充填される(図61)。

【0087】

そして図62に示されるように、コンタクト金属21に接続される配線20が層間絶縁膜19上に形成される。

【0088】

本実施の形態によれば、実施の形態8と同様の効果を得ることに加え、キャパシタ誘電体膜33iの面積をキャパシタ誘電体膜33hの面積よりも広げ、容量素子C i の容量の増大に寄与することができる。

【0089】

実施の形態10.

図63乃至図69は本発明の実施の形態10にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態1に示された工程により、図5に示された構造を得る。その後、メモリセル部のソース/ドレイン領域5上のシリコン窒化膜11及び層間絶縁膜12を貫通してシリサイド膜10を露出する開口36を形成する。開口36はシリコン窒化膜28をストッパとして層間絶縁膜12に対して異方性エッチングを施してシリコン窒化膜28を露出させ、露出したシリコン窒化膜28を改めてエッチングすることで形成できる。開口36はロジック部においては形成されない。図63ではメモリセル部に示された3つのシリサイド膜10のいずれも露出する場合が例示されている。

【0090】

次に下部電極を形成すべき位置において開口36を拡げて開口16を形成する(図64)。図63ではメモリセル部に示された3つの開口36のうち、中央の

ものを除いた両側のものに、開口 1 6 が形成されている。開口 1 6 は開口 3 6 を含み、開口 3 6 よりも広く形成される。但し、開口 1 6 の底は層間絶縁膜 1 2 の中に存在し、シリコン窒化膜 1 1 には到達しない。開口 1 6 は異方性エッチングのエッチング時間を制御して形成することができる。開口 1 6, 3 6 の形成順序は逆でもよい。

【 0 0 9 1 】

次に高融点金属（例えばルテニウム）を含む金属膜 2 9 8 を全面に堆積し、開口 1 6, 3 6 をフォトレジストで覆った状態で金属膜 2 9 8 を異方性エッチングする。これにより、金属膜 2 9 8 は開口 3 6 を充填する部分と、開口 1 6 の側壁及び底部を覆う部分が残置し、図 6 5 に示される構造が得られる。上記異方性エッチングの代わりに、CMP 法による研磨を採用してもよい。

【 0 0 9 2 】

更に誘電体膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）をこの順に堆積し、パターニングを行ってそれぞれキャパシタ誘電体膜 3 3 j、上部電極 3 0 j へと整形する。金属膜 2 9 8 のうち、開口 1 6 において残置するものは下部電極として機能し、上部電極 3 0 j、キャパシタ誘電体膜 3 3 j と相まって容量素子 C j を構成する（図 6 6）。上部電極 3 0 j、下部電極たる金属膜 2 9 8、キャパシタ誘電体膜 3 3 j は、ロジック部や、メモリセル部における 3 つのシリサイド膜 1 0 のうち中央のものの上方には形成されない。キャパシタ誘電体膜 3 3 j 及び上部電極 3 0 j は、開口 1 6 において、この順に金属膜 2 9 8 上に設けられる。

【 0 0 9 3 】

金属膜 2 9 8 は開口 1 6 の底面及び側面にも設けられるので、キャパシタ誘電体膜 3 3 j の表面積を大きくとることができ、容量素子 C j の静電容量を大きくとることができる。しかも金属膜 2 9 8 の成膜によってシリサイド膜 1 0 へのコンタクトプラグとして機能する部分（開口 3 6 において残置する部分）及び下部電極として機能する部分（開口 1 6 において残置する部分）とを同一処理で形成することができるので、工程の削減に寄与できる。

【 0 0 9 4 】

なお、開口 3 6 は必ずしも金属膜 2 9 8 によって充填される必要はなく、例えばその底部及び側面において形成され、キャパシタ誘電体膜 3 3 j、上部電極 3 0 j が開口 3 6 においても設けられてもよい。その場合には更に容量素子 C j の静電容量を大きくとることができる。

【 0 0 9 5 】

図 6 6 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のソース／ドレイン領域 5 上のシリサイド膜 1 0 や、メモリセル部における 3 つのシリサイド膜 1 0 のうち中央のものの上部に形成された開口 3 6 を充填する金属膜 2 9 8 を露出する開口 3 1 を形成する（図 6 7）。開口 3 1 の形成は、まずシリコン窒化膜 2 8 をストッパとして、層間絶縁膜 1 9 を異方性エッチングする。そして露出したシリコン窒化膜 2 8 を改めてエッチングする。よって開口 3 1 の形成に際して、層間絶縁膜 1 9 のオーバーエッチングを回避できる。図示されないが、開口 3 1 として、上部電極 3 0 j を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される（図 6 8）。そして図 6 9 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 0 9 6 】

以上のように本実施の形態によれば、容量素子の静電容量の増大と、工程の簡略化に寄与することができる。

【 0 0 9 7 】

実施の形態 1 1.

図 7 0 乃至図 7 7 は本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 7 に示された構造を得る。更に図 7 に示された構造の上側から全面に層間絶縁膜 1 5、窒化膜、例えばシリコン窒化膜 3 7 をこの順に堆積する。その後、シリコン窒化膜 2 8、3 7 及び層間絶縁膜 1 5 を貫通してメモリセル部のコンタクト金属 2 7 を露出させる開口 3 2 k 1 を形成することにより、図 7 0 に示された構造が得られる。例えばシリコン窒化膜 3 7 を選択的に除去し、残置したシリコン窒化膜 3

7をマスクとし、シリコン窒化膜28をストッパとして、層間絶縁膜15に対して異方性エッチングを施す。これによってシリコン窒化膜28を露出させ、露出したシリコン窒化膜28を改めてエッチングすることで開口32k1を形成できる。

【0098】

更に図70に示された構造の上側から全面に高融点金属（例えばルテニウム）を含む金属膜を堆積する。そしてシリコン窒化膜37をストッパとして当該金属膜の異方性エッチングを行って、開口32k1の内部に金属膜29kを残し、図71に示される構造を得る。あるいはCMP法を採用して研磨することによって金属膜29kを残してもよい。金属膜29kの表面はシリコン窒化膜37の表面よりも低くなってもよい。

【0099】

次にウェットエッチング等を用いて開口32k1の側面を金属膜29kから後退させる。これにより開口32k1よりも横方向（半導体基板100の厚さ方向と垂直な方向）に広がった開口32k2が得られる（図72）。開口32k2はシリコン窒化膜28及び層間絶縁膜15を貫通する。その後シリコン窒化膜37をエッチングによって除去して図73に示される構造を得る。

【0100】

更に図73に示された構造の上側から全面に誘電体膜（例えば五酸化タンタル）を堆積し、更に高融点金属（例えばルテニウム）を含む金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜33k及び上部電極30kを形成する。上部電極30k、下部電極たる金属膜29k、キャパシタ誘電体膜33kを有する容量素子Ckが得られる（図74）。キャパシタ誘電体膜33kも上部電極30kも、ロジック部や、メモリセル部における3つのコンタクト金属27のうち中央のものの上方には形成されない。キャパシタ誘電体膜33k及び上部電極30kは、開口32k2において、金属膜29kに対してこの順に積層される。

【0101】

図74に示された構造の上側から全面に層間絶縁膜19を堆積し、CMP処理

を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものを露出する開口 3 1 を形成する（図 7 5）。図示されないが、開口 3 1 として、上部電極 3 0 k を露出させるものを形成してもよい。開口 3 1 の形成は、金属膜 2 9 k、シリコン窒化膜 2 8 をストッパとして、これらよりも高いエッチングレートで層間絶縁膜 1 9 を異方性エッチングする。そして露出したシリコン窒化膜 2 8 を改めてエッチングする。よって開口 3 1 の形成に際して、層間絶縁膜 1 9 のオーバーエッチングを回避できる。

【 0 1 0 2 】

図 7 6 に示されるように、開口 3 1 はコンタクト金属 2 1 で充填される。開口 3 1 の形成に際して層間絶縁膜 1 9 のオーバーエッチングを回避できるので、開口 3 1 を充填するコンタクト金属 2 1 がゲート電極 3 やソース／ドレイン領域 5 と短絡することを回避できる。

【 0 1 0 3 】

そして図 7 7 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 1 0 4 】

本実施の形態によれば、金属膜 2 9 k が上部電極 3 0 k に向かって突出し、金属膜 2 9 k を上部電極 3 0 k が包む構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極を容易に形成することができる。また金属膜 2 9 k を形成する際にも、上部電極 3 0 k を形成する際にも、容量素子 C k を形成する領域以外での層間絶縁膜 1 5 を残置するので平坦性がよく、後の工程を容易且つ正確に行うことができる。

【 0 1 0 5 】

実施の形態 1 2 .

図 7 8 乃至図 8 1 は本発明の実施の形態 1 2 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 1 に示された工程により、図 7 3 に示された構造を得る。更に図 7 3 に示された構造に対して、高融点金属（例えばルテニウム）を含む金属膜、誘電体膜（例えば五酸化タンタル）、高融点金属

(例えばルテニウム)をこの順に堆積し、パターニングを行ってそれぞれ金属膜 2 9 9、キャパシタ誘電体膜 3 3 m、上部電極 3 0 mへと整形する。金属膜 2 9 9 は金属膜 2 9 k と相まって下部電極 2 9 m を構成する。上部電極 3 0 m、下部電極 2 9 m、キャパシタ誘電体膜 3 3 m を有する容量素子 C m が得られる (図 7 8)。上部電極 3 0 m、キャパシタ誘電体膜 3 3 m、金属膜 2 9 9 は、ロジック部や、メモリセル部における 3 つのコンタクト金属 2 7 のうち中央のものの上方には形成されない。キャパシタ誘電体膜 3 3 m 及び上部電極 3 0 m は、開口 3 2 k 2 において、金属膜 2 9 9 を介してこの順に下部電極 2 9 m に対して積層される。金属膜 2 9 9、キャパシタ誘電体膜 3 3 m 及び上部電極 3 0 m は、開口 3 2 k 2 において、この順に金属膜 2 9 k 及び層間絶縁膜 1 5 に対して積層される。

【 0 1 0 6 】

金属膜 2 9 9 は金属膜 2 9 k のほか、開口 3 2 k 2 の底面及び側面にも設けられるので、キャパシタ誘電体膜 3 3 m の表面積を大きくとることができ、容量素子 C m の静電容量を大きくとることができる。

【 0 1 0 7 】

図 7 8 に示された構造の上側から全面に層間絶縁膜 1 9 を堆積し、CMP 処理を施すことにより、層間絶縁膜 1 9 の表面を平坦化する。その後、ロジック部のコンタクト金属 2 7 や、メモリセル部における 3 つの金属膜 2 9 k のうち中央のものを露出する開口 3 1 を形成する (図 7 9)。図示されないが、開口 3 1 として、上部電極 3 0 m を露出させるものを形成してもよい。そして開口 3 1 はコンタクト金属 2 1 で充填される (図 8 0)。

【 0 1 0 8 】

そして図 8 1 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 1 0 9 】

本実施の形態によれば、実施の形態 1 1 と同様の効果を得ることに加え、キャパシタ誘電体膜 3 3 m の面積をキャパシタ誘電体膜 3 3 k の面積よりも広げ、容量素子 C m の容量の増大に寄与することができる。

【 0 1 1 0 】

実施の形態 1 3.

図 8 2 乃至図 8 7 は本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態 1 に示された工程により、図 7 に示された構造を得る。更に図 7 に示された構造の上側から全面に層間絶縁膜 3 4 を堆積する。層間絶縁膜 3 4 の材料としては例えばノンドープシリコン酸化膜を採用する。そして下部電極を形成すべき位置で層間絶縁膜 2 3 及びシリコン窒化膜 2 8 を貫通してコンタクト金属 2 7 を露出させる開口 1 6 n を形成する。開口 1 6 n は例えばシリコン窒化膜 2 8 をストッパとして層間絶縁膜 3 4 に対して異方性エッチングを施してシリコン窒化膜 2 8 を露出させ、露出したシリコン窒化膜 2 8 を改めてエッチングすることで形成できる。その後、上側から全面に絶縁膜 3 8 を成膜して異方性エッチングを施し、絶縁膜 3 8 を開口 1 6 n の側壁にのみ設ける。ここまでの工程により図 8 2 に示された構造が得られる。開口 1 6 n は容量素子の下部電極のために形成されるので、ロジック部においては形成されない。図 8 2 ではメモリセル部に示された 3 つのコンタクト金属 2 7 のうち、中央のものを除いた両側のものが、開口 1 6 n によって露出している場合が例示されている。

【 0 1 1 1 】

図 8 2 に示された構造の上側から全面に高融点金属（例えばルテニウム）を含む金属膜を堆積し、開口 1 6 n の上方をフォトレジストで覆って当該金属膜に異方性エッチングを施す。あるいは CMP 法で研磨する。これにより、開口 1 6 n の内部にのみ金属膜を残置して下部電極 2 9 n を形成する。その後、開口 1 6 n 内の絶縁膜 3 8 を除去する。絶縁膜 3 8 として例えば B P T E O S 膜を採用することにより、実施の形態 2 で説明したように、層間絶縁膜 3 4 よりも絶縁膜 3 8 のエッチングレートが高いエッチングが可能である。よって層間絶縁膜 3 4 のエッチング量を少なくしつつも開口 1 6 n 内の絶縁膜 3 8 を除去することができる。ここまでの工程により図 8 3 に示された構造が得られ、開口 1 6 n は下部電極 2 9 n を囲む。

【 0 1 1 2 】

図 8 3 に示された構造に対して上側から全面に誘電体膜（例えば五酸化タンタ

ル)を堆積し、更に高融点金属(例えばルテニウム)を含む金属膜を堆積してから、パターニングを行い、キャパシタ誘電体膜33n及び上部電極30nを形成する。上部電極30n、下部電極29n、キャパシタ誘電体膜33nを有する容量素子Cnが得られる(図84)。キャパシタ誘電体膜33nも上部電極30nも、ロジック部や、メモリセル部における3つのコンタクト金属27のうち中央のものの上方には形成されない。キャパシタ誘電体膜33n及び上部電極30nは、開口16nにおいて、この順に下部電極29nに対して積層される。

【0113】

図84に示された構造の上側から全面に層間絶縁膜19を堆積し、CMP処理を施すことにより、層間絶縁膜19の表面を平坦化する。その後、ロジック部のコンタクト金属27や、メモリセル部における3つのコンタクト金属27のうち中央のものを露出する開口31を形成する(図85)。図示されないが、開口31として、上部電極30nを露出させるものを形成してもよい。そして開口31はコンタクト金属21で充填される(図86)。

【0114】

開口16nの形成時には一旦シリコン窒化膜28をストッパとし、その後に改めてシリコン窒化膜28をエッチングするので、その底部が拡がりにくく、下部電極29nがゲート電極3やソース/ドレイン領域5と短絡することを回避できる。開口31の形成に際してシリコン絶縁膜28をストッパとして層間絶縁膜19のオーバーエッチングを回避できるので、開口31を充填するコンタクト金属21がゲート電極3やソース/ドレイン領域5と短絡することを回避できる。

【0115】

そして図87に示されるように、コンタクト金属21に接続される配線20が層間絶縁膜19上に形成される。

【0116】

本実施の形態によれば、下部電極29nが上部電極30nに向かって突出し、下部電極29nを上部電極30nが包む構造を採用しているので、下部電極が上部電極を包む構造と比較すると、下部電極29nを容易に形成することができる。また下部電極29nを形成する際にも、上部電極30nを形成する際にも、容

量素子 C_n を形成する領域以外での層間絶縁膜34を残置するので平坦性がよく、後の工程を容易且つ正確に行うことができる。

【0117】

実施の形態14.

図88乃至図91は本発明の実施の形態14にかかる半導体装置の製造方法を工程順に示す断面図である。まず実施の形態13に示された工程により、図83に示された構造を得る。更に図83に示された構造に対して、高融点金属（例えばルテニウム）を含む金属膜、誘電体膜（例えば五酸化タンタル）、高融点金属（例えばルテニウム）をこの順に堆積し、パターニングを行ってそれぞれ金属膜290、キャパシタ誘電体膜33p、上部電極30pへと整形する。金属膜290は下部電極29nと相まって下部電極29pを構成する。上部電極30p、下部電極29p、キャパシタ誘電体膜33pを有する容量素子 C_p が得られる（図88）。上部電極30p、キャパシタ誘電体膜33p、金属膜290は、ロジック部や、メモリセル部における3つのコンタクト金属27のうち中央のものの上方には形成されない。キャパシタ誘電体膜33p及び上部電極30pは、開口16nにおいて、金属膜290を介してこの順に下部電極29nに対して積層される。金属膜290、キャパシタ誘電体膜33p及び上部電極30pは、開口16nにおいて、この順に下部電極29n及び層間絶縁膜34に対して積層される。

【0118】

金属膜290は下部電極29nのほか、開口16nの底面及び側面にも設けられるので、キャパシタ誘電体膜33pの表面積を大きくとることができ、容量素子 C_p の静電容量を大きくとることができる。

【0119】

図88に示された構造の上側から全面に層間絶縁膜19を堆積し、CMP処理を施すことにより、層間絶縁膜19の表面を平坦化する。その後、ロジック部のコンタクト金属27や、メモリセル部における3つの金属膜29nのうち中央のものを露出する開口31を形成する（図89）。図示されないが、開口31として、上部電極30pを露出させるものを形成してもよい。そして開口31はコンタクト金属21で充填される（図90）。

【 0 1 2 0 】

そして図 9 1 に示されるように、コンタクト金属 2 1 に接続される配線 2 0 が層間絶縁膜 1 9 上に形成される。

【 0 1 2 1 】

本実施の形態によれば、実施の形態 1 3 と同様の効果を得ることに加え、キャパシタ誘電体膜 3 3 p の面積をキャパシタ誘電体膜 3 3 n の面積よりも広げ、容量素子 C p の容量の増大に寄与することができる。

【 0 1 2 2 】

変形。

図 9 2 乃至図 9 8 は本発明の変形を示す断面図であり、それぞれ実施の形態 1、実施の形態 3、実施の形態 4、実施の形態 5、実施の形態 6、実施の形態 7、実施の形態 1 0、における配線 2 0 を配線 4 0 と置換した構成を有している。配線 4 0 はバリアメタル 4 1 と、銅配線 4 2 との二層構造を有しており、バリアメタル 4 1 は銅配線 4 2 の下地層として設けられる。但しコンタクト金属 2 1 には銅配線 4 2 が接触する。

【 0 1 2 3 】

図 9 2 乃至図 9 8 に示された配線 4 0 は、それぞれ図 1 3、図 2 7、図 3 1、図 4 0、図 4 7、図 5 6、図 6 7 に示された構造に対してダマシン工程を用いることによって形成することができる。

【 0 1 2 4 】

図 9 2 に示された構造と同様にして実施の形態 2 において、図 9 6 に示された構造と同様にして実施の形態 8、実施の形態 1 1 及び実施の形態 1 3 において、図 9 7 に示された構造と同様にして実施の形態 9、実施の形態 1 2 及び実施の形態 1 4 において、それぞれ配線 2 0 を配線 4 0 に置換することが可能である。

【 0 1 2 5 】

【発明の効果】

この発明にかかる第 1 の半導体装置の製造方法によれば、下部電極を形成する工程を簡略化することができる。

【 0 1 2 6 】

この発明にかかる第2の半導体装置の製造方法によれば、下部電極として機能する第1の金属膜、上部電極として機能する第2の金属膜、及びこれらに挟まれる誘電体膜を有する容量素子が形成される。下部電極を形成する際に、容量素子を形成する箇所以外では第1の絶縁膜及び第2の絶縁膜を除去する必要がないので、誘電体膜及び上部電極を形成するためのパターニング等、後の工程をも容易且つ正確に行うことができる。

【0127】

この発明にかかる第3の半導体装置の製造方法によれば、第1の開口において設けられた第1の金属が、下部電極を他に接続するコンタクトプラグとして機能するので、当該コンタクトプラグと下部電極とを同一工程で形成することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図2】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1にかかる半導体装置の製造方法を工程順に

示す断面図である。

【図 1 0】 本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 5】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 7】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 8】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 1 9】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 0】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】 本発明の実施の形態 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 3】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 5】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 6】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 7】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 8】 本発明の実施の形態 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 2 9】 本発明の実施の形態 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 0】 本発明の実施の形態 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 1】 本発明の実施の形態 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 2】 本発明の実施の形態 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 3】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 4】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 5】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 6】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 7】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 3 8】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順

に示す断面図である。

【図 3 9】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 0】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 1】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 2】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 3】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 4】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 5】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 6】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 7】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 8】 本発明の実施の形態 5 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 4 9】 本発明の実施の形態 7 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 0】 本発明の実施の形態 7 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 1】 本発明の実施の形態 7 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 2】 本発明の実施の形態 7 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 3】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 4】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 5】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 6】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 7】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 8】 本発明の実施の形態 8 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 5 9】 本発明の実施の形態 9 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 0】 本発明の実施の形態 9 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 1】 本発明の実施の形態 9 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 2】 本発明の実施の形態 9 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 3】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 4】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 5】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 6】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 7】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程

順に示す断面図である。

【図 6 8】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 6 9】 本発明の実施の形態 1 0 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 0】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 1】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 2】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 3】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 4】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 5】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 6】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 7】 本発明の実施の形態 1 1 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 8】 本発明の実施の形態 1 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 7 9】 本発明の実施の形態 1 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 0】 本発明の実施の形態 1 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 1】 本発明の実施の形態 1 2 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 2】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 3】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 4】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 5】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 6】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 7】 本発明の実施の形態 1 3 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 8】 本発明の実施の形態 1 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 8 9】 本発明の実施の形態 1 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 9 0】 本発明の実施の形態 1 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 9 1】 本発明の実施の形態 1 4 にかかる半導体装置の製造方法を工程順に示す断面図である。

【図 9 2】 本発明の変形を示す断面図である。

【図 9 3】 本発明の変形を示す断面図である。

【図 9 4】 本発明の変形を示す断面図である。

【図 9 5】 本発明の変形を示す断面図である。

【図 9 6】 本発明の変形を示す断面図である。

【図 9 7】 本発明の変形を示す断面図である。

【図 9 8】 本発明の変形を示す断面図である。

【符号の説明】

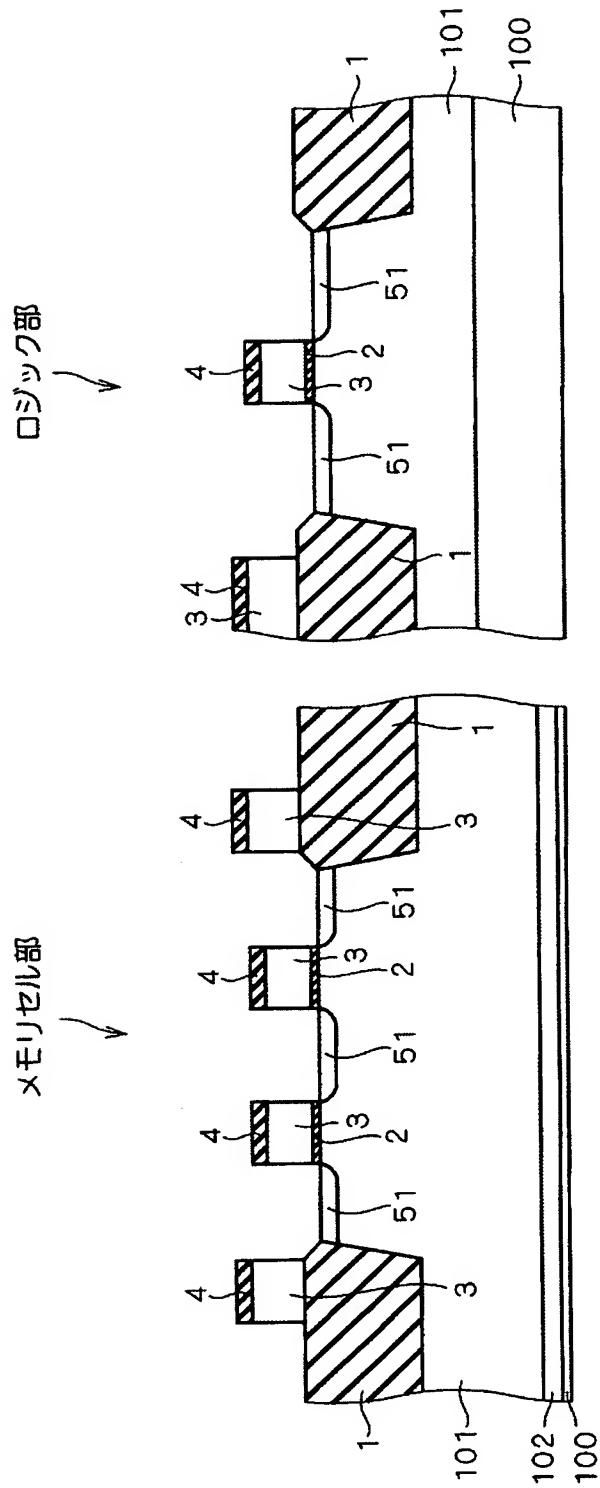
1 1、2 8 シリコン窒化膜、1 2、1 5、1 5 1～1 5 3、3 4 1、3 4 2

層間絶縁膜、16, 32a, 32b, 32k1, 32k2, 39a~39h
開口、29a~29e 下部電極、30a~30e 上部電極、33a~33e
キャパシタ誘電体膜。

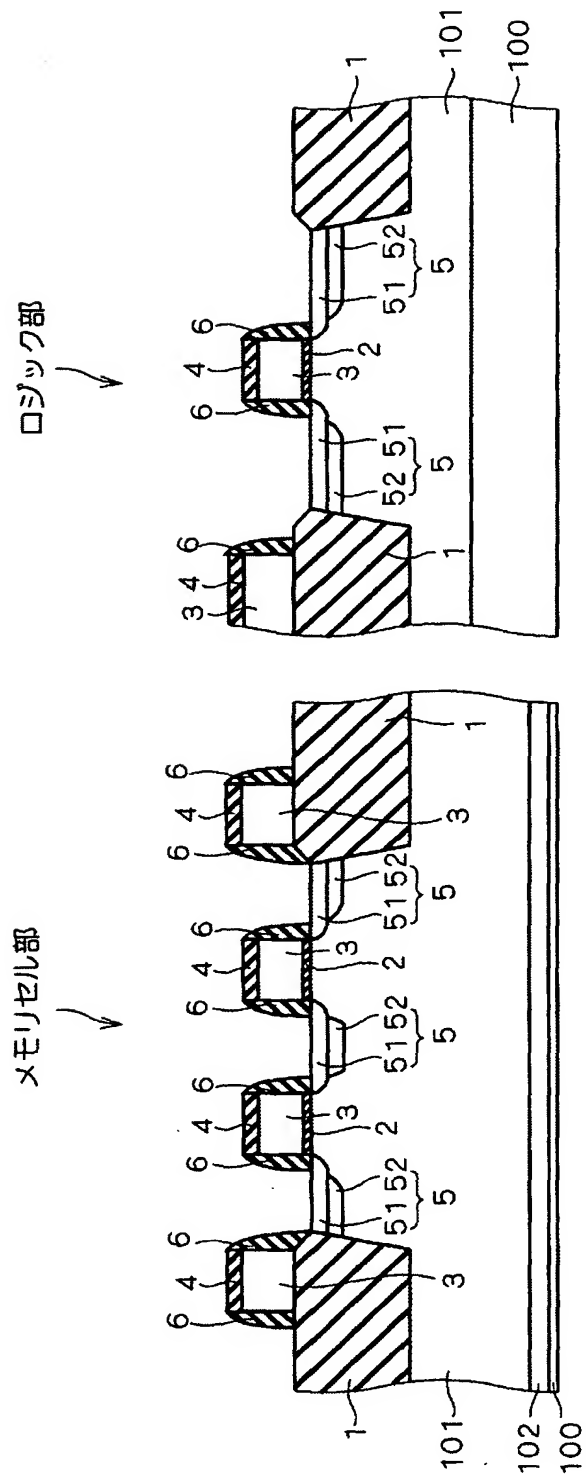
【書類名】

図面

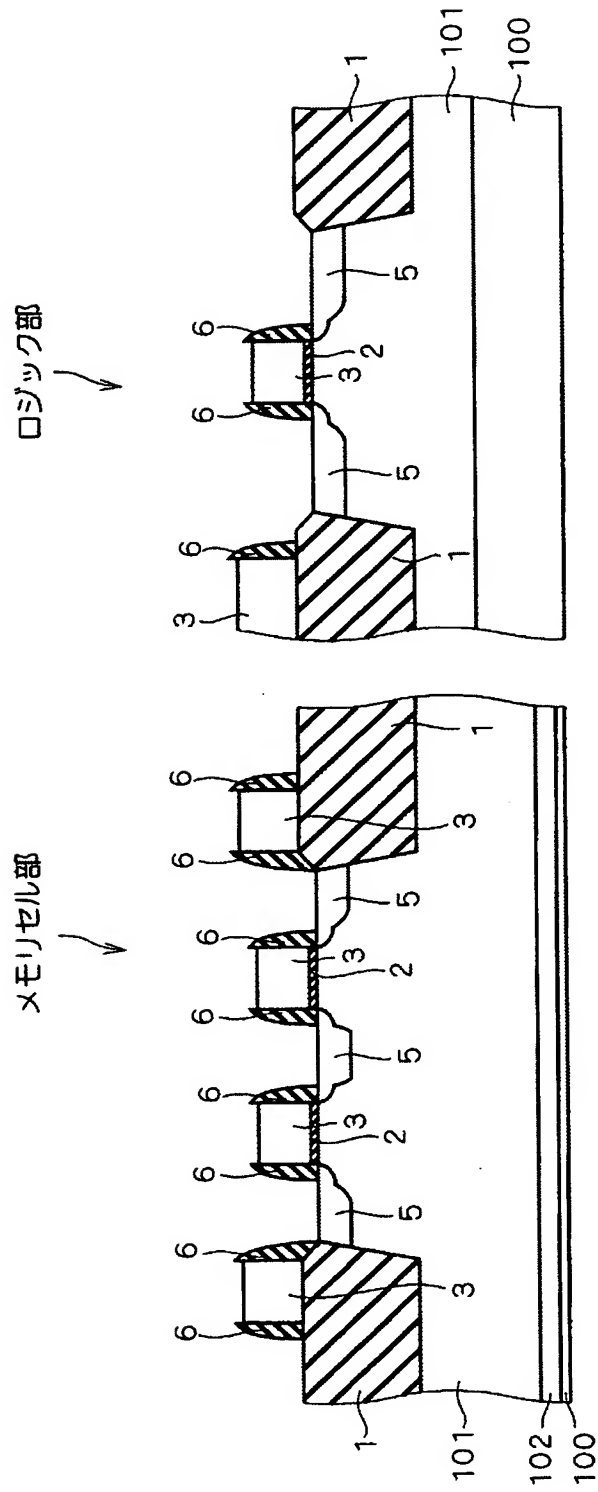
【図 1】



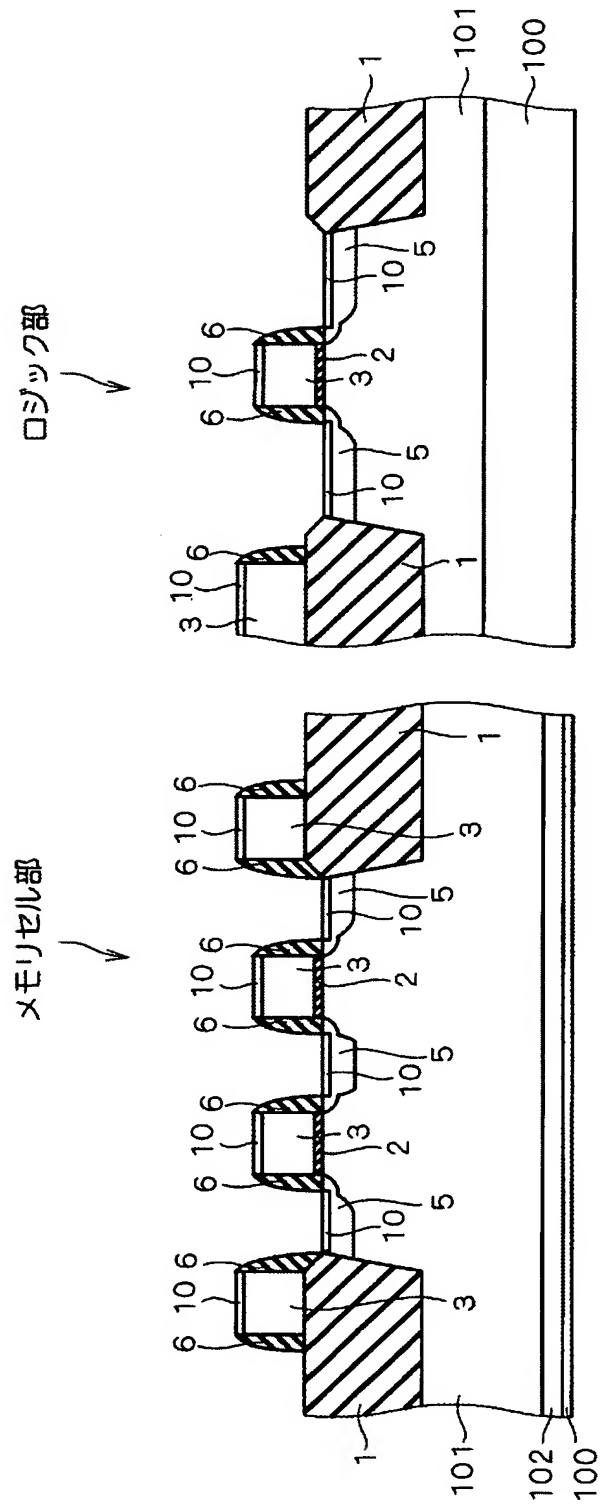
【図 2】



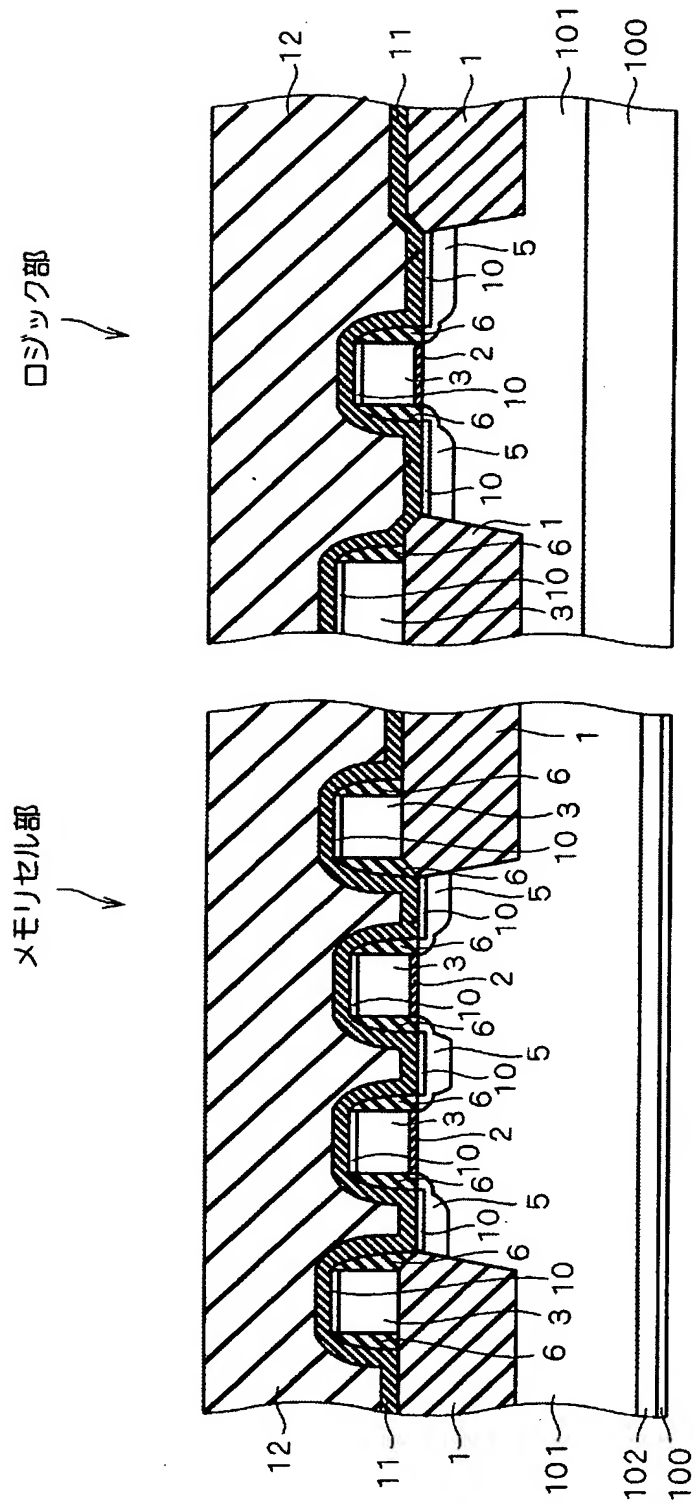
【図 3】



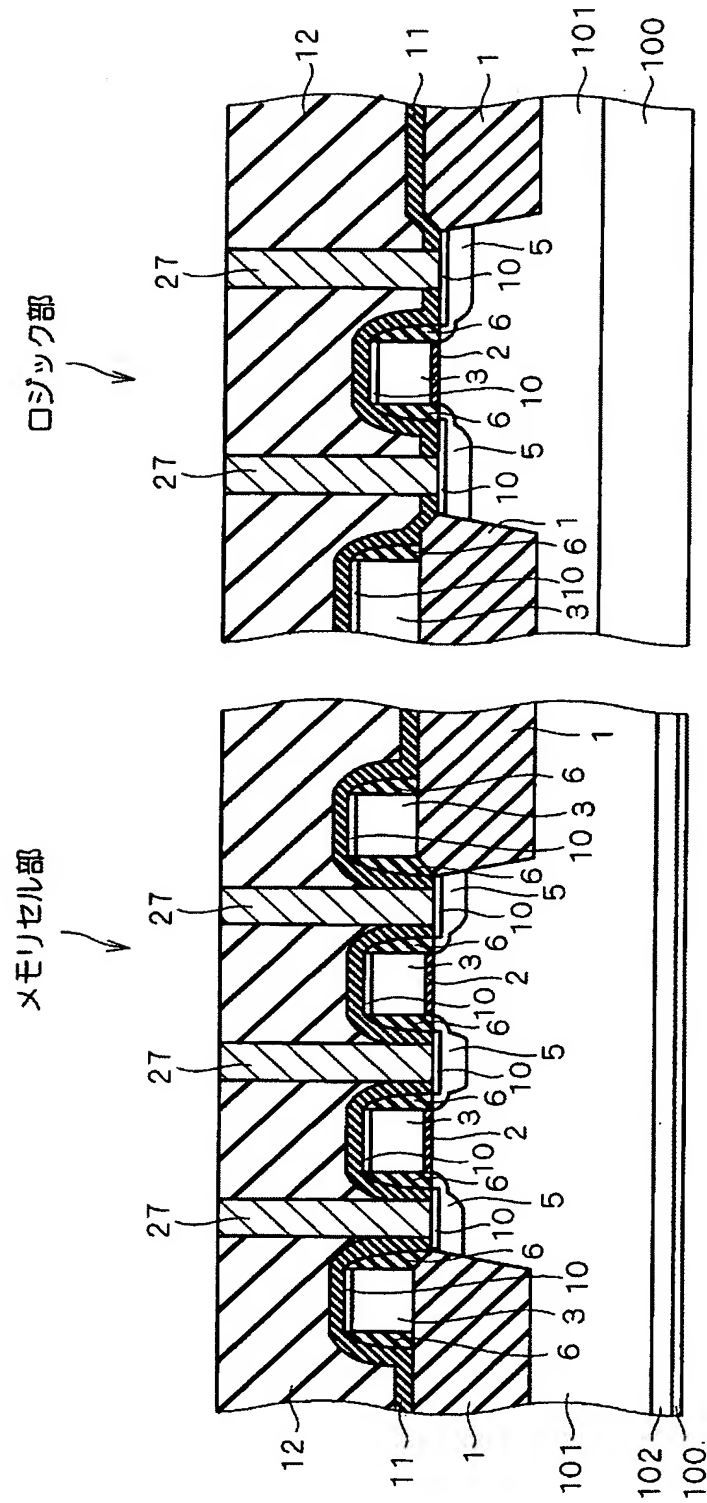
【図 4】



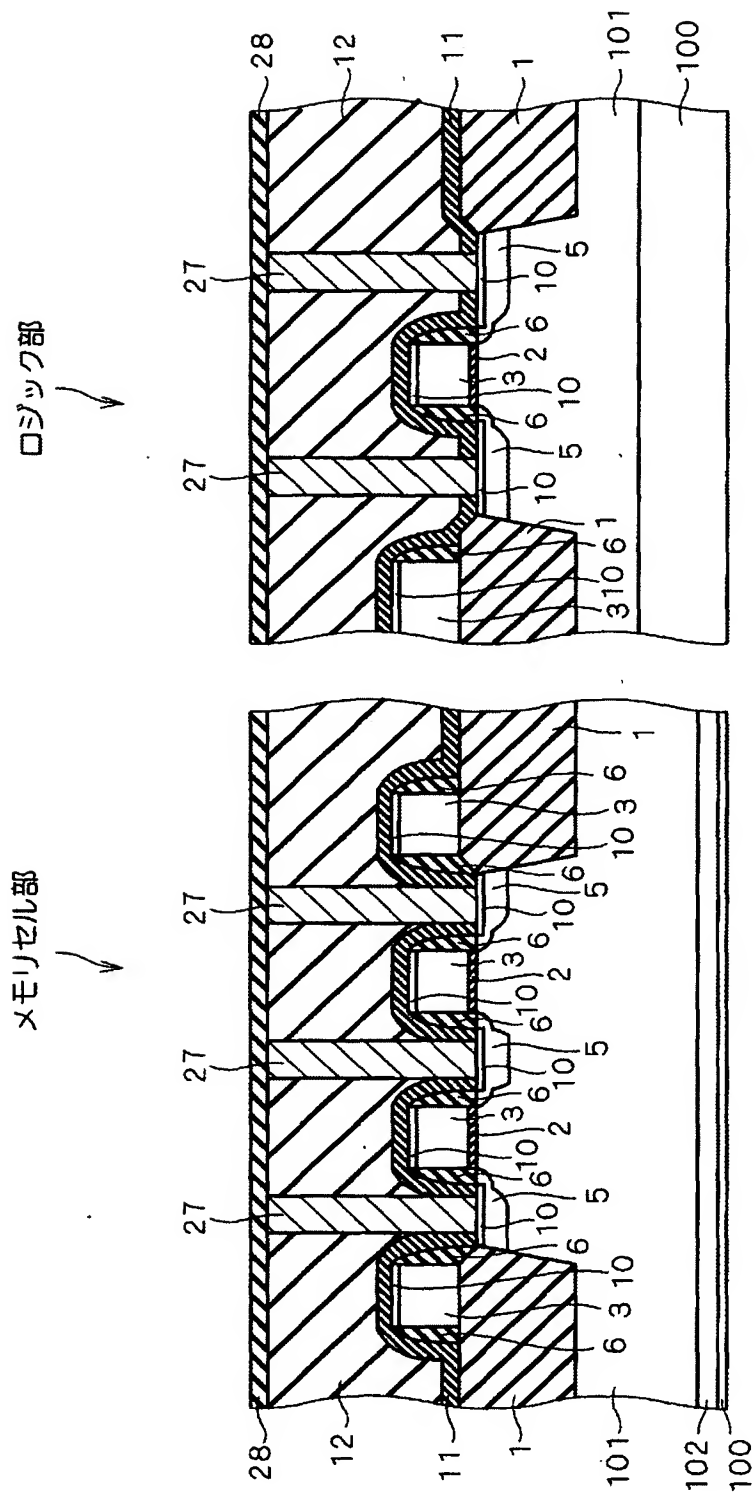
【図 5】



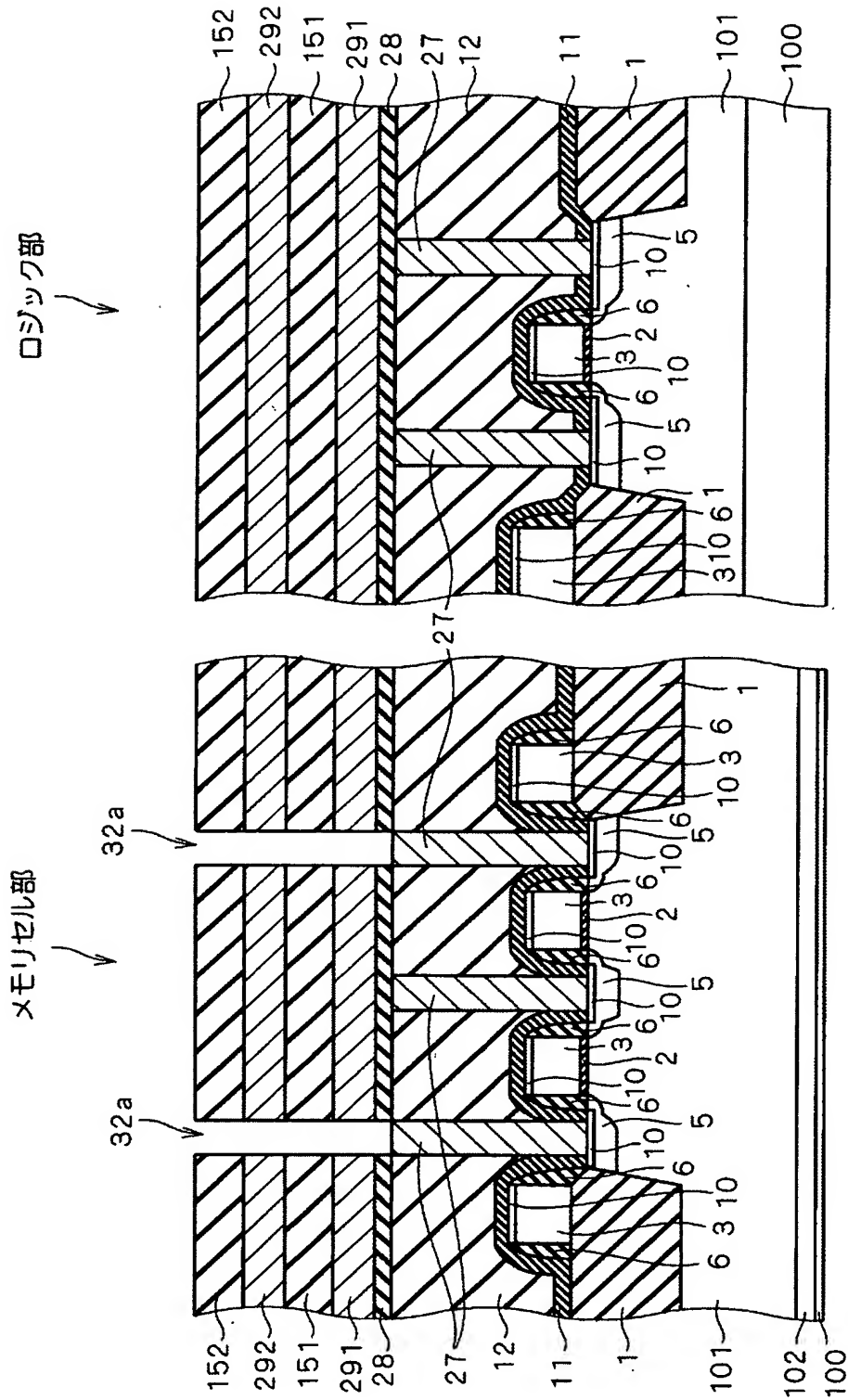
【図6】



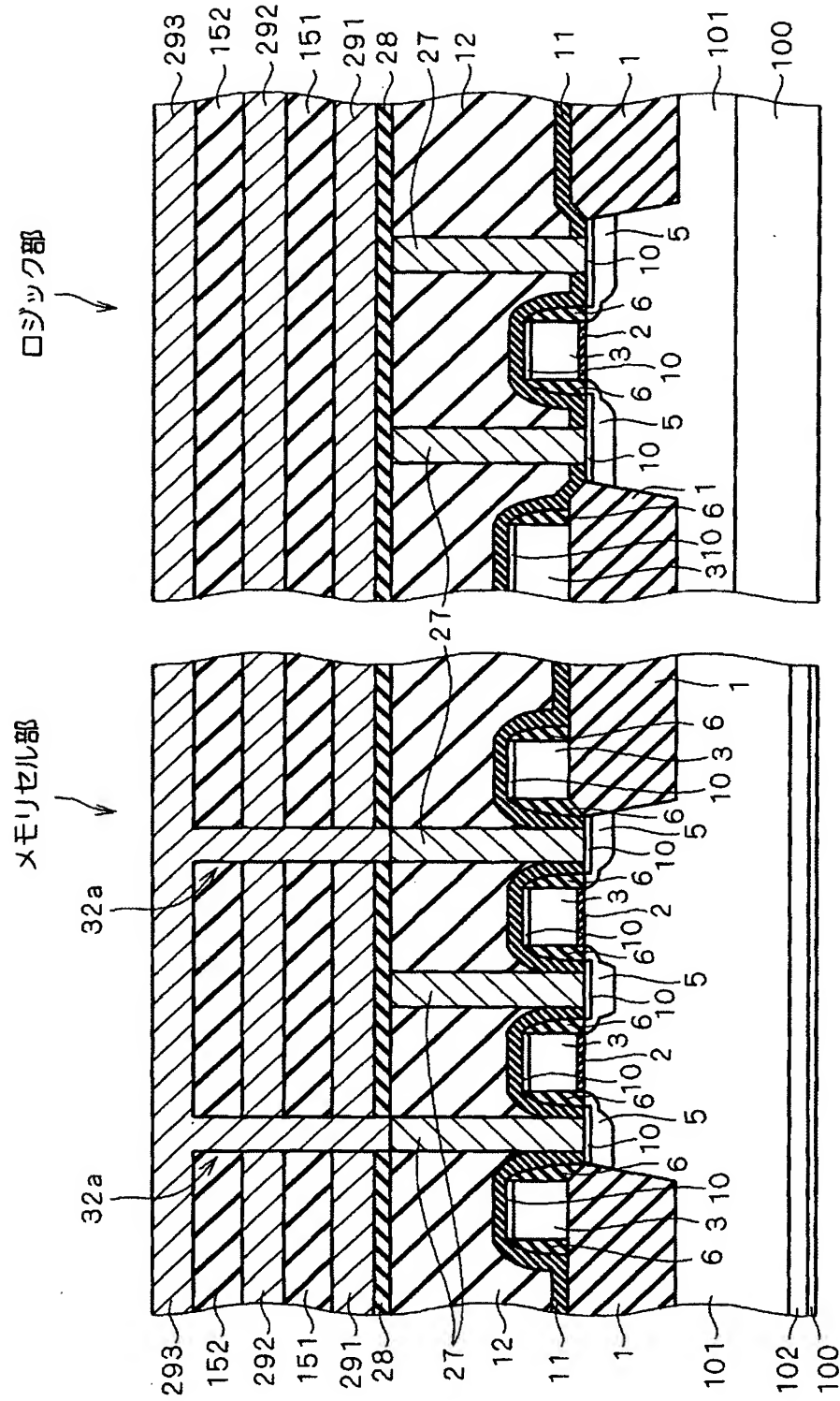
【图 7】



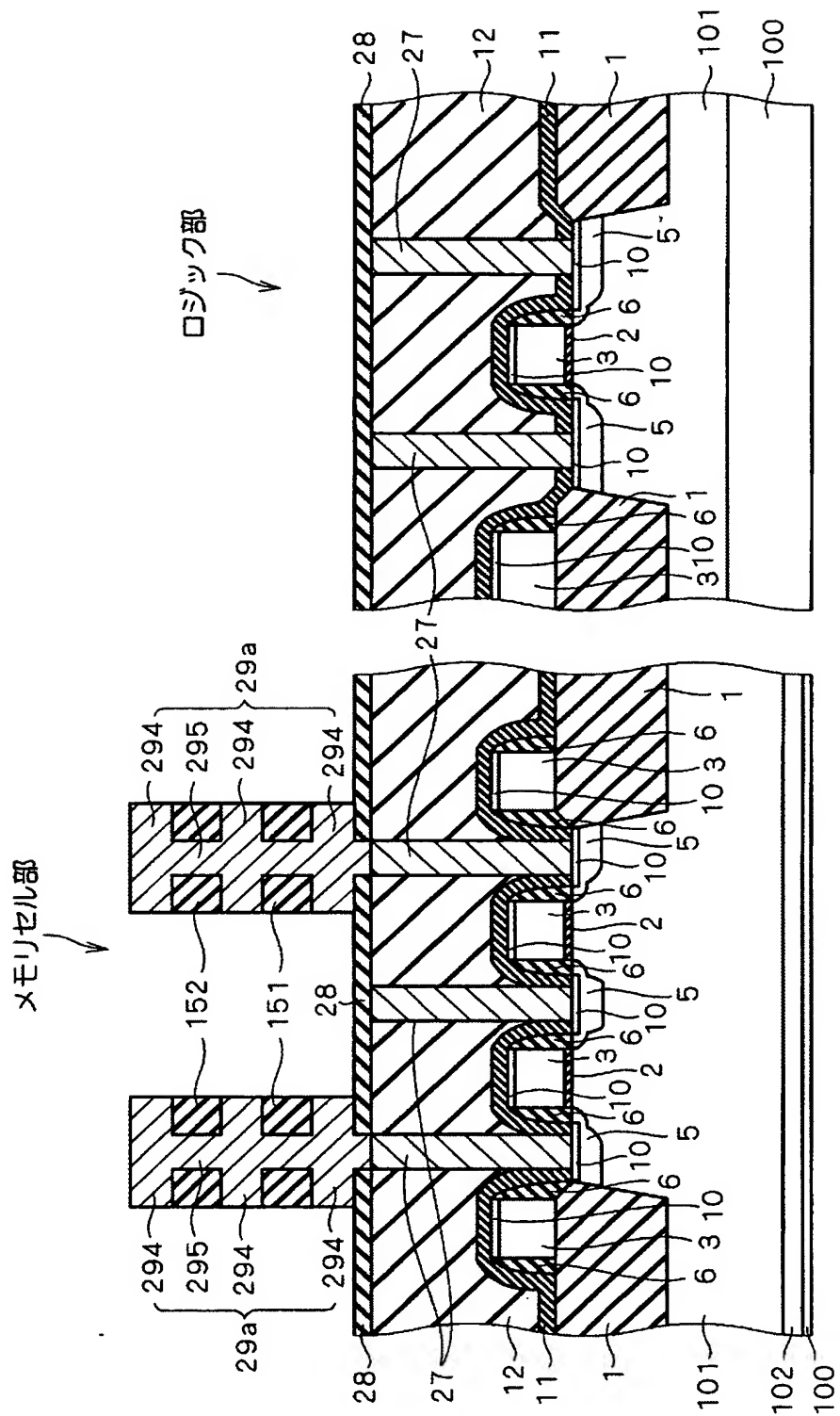
【図 8】



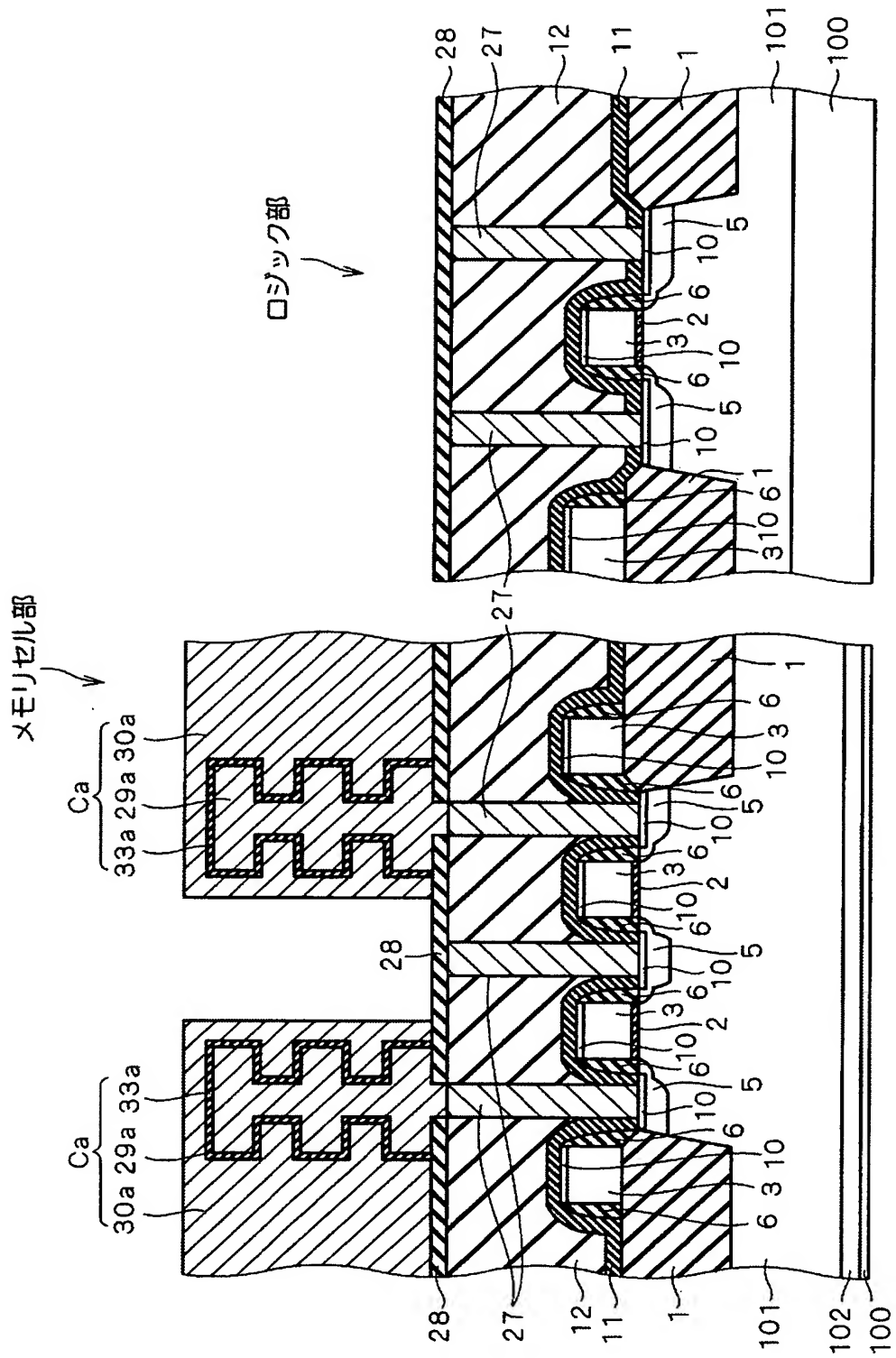
【図9】



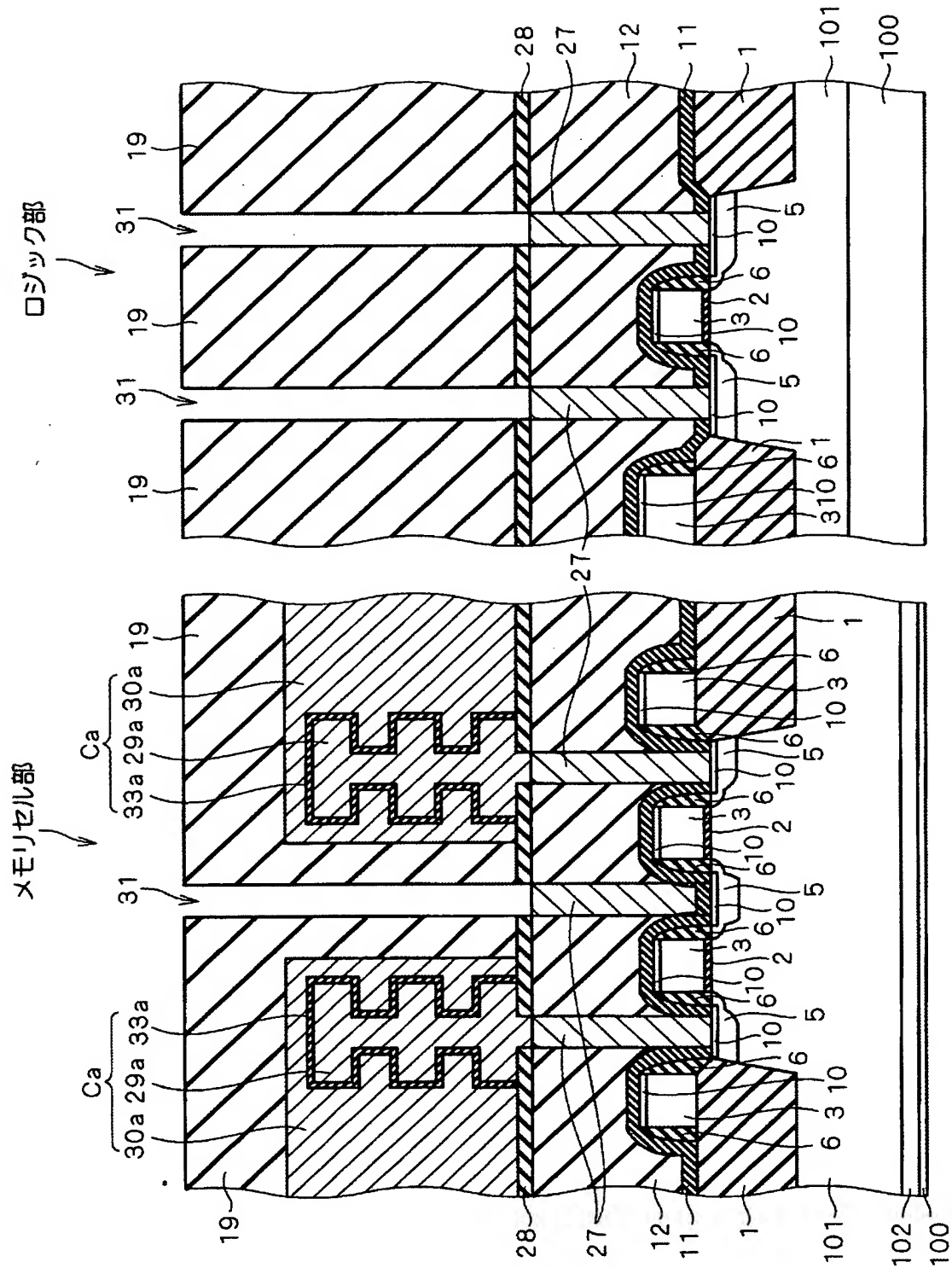
【図10】



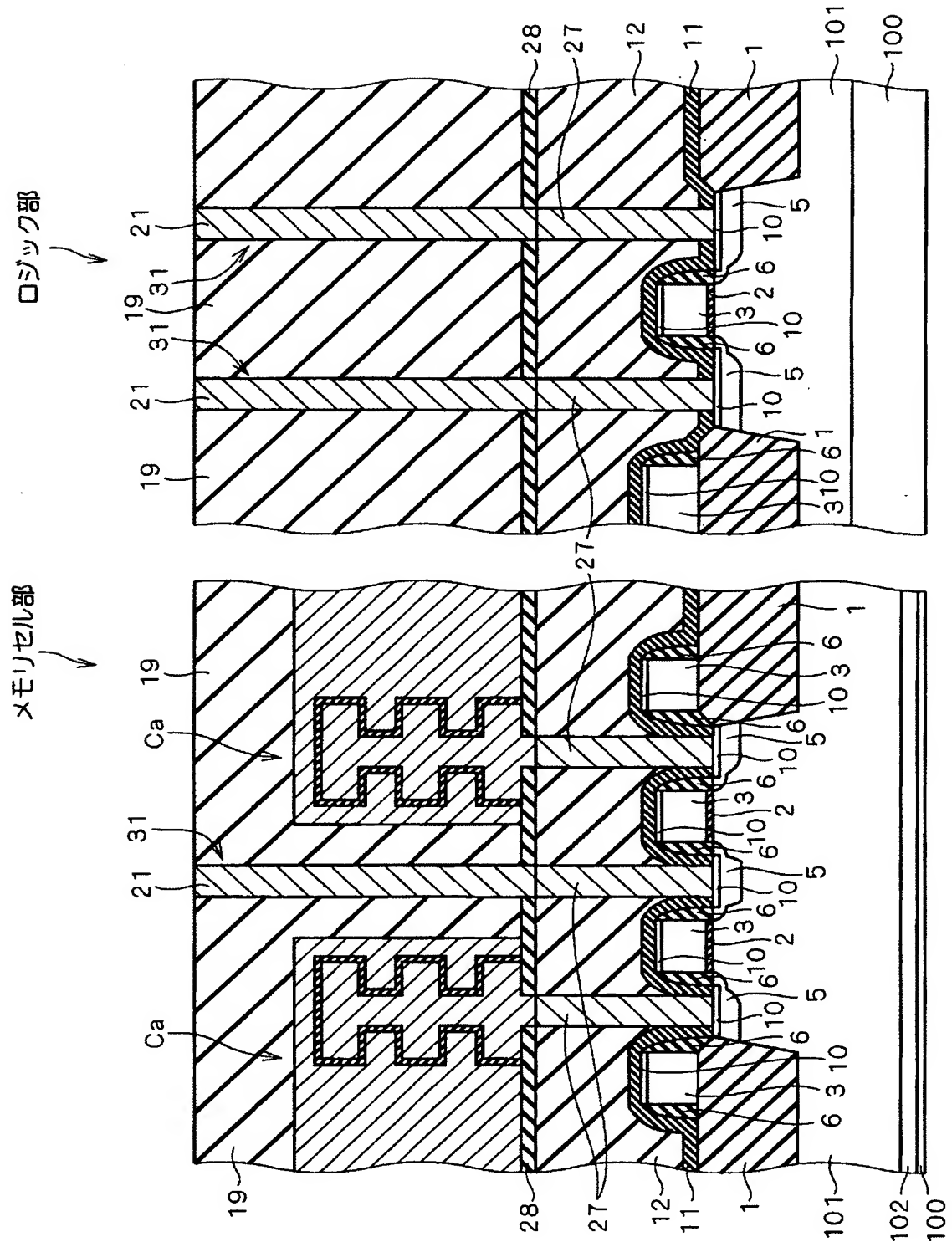
【図 11】



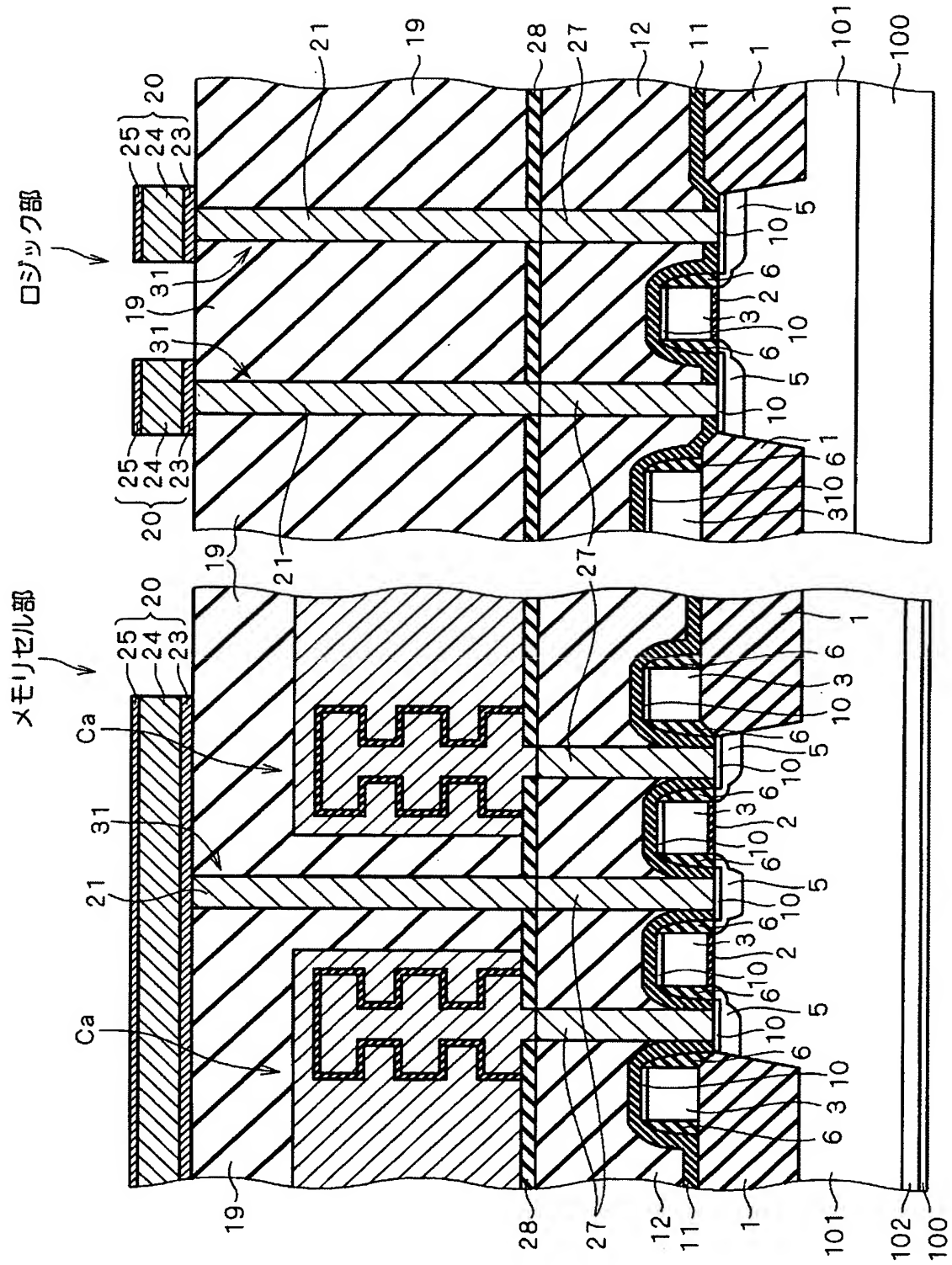
【圖 1 2】



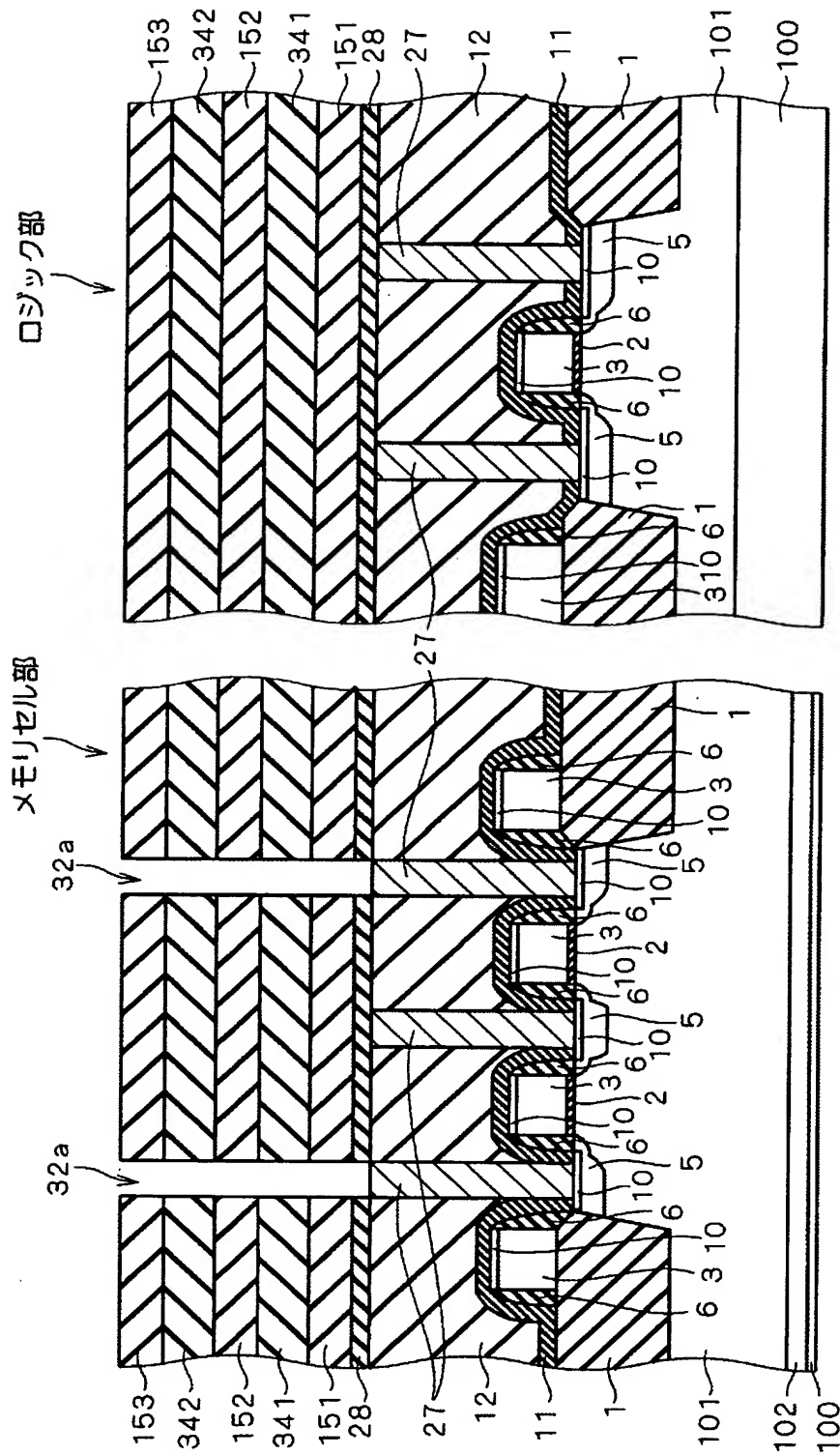
【図13】



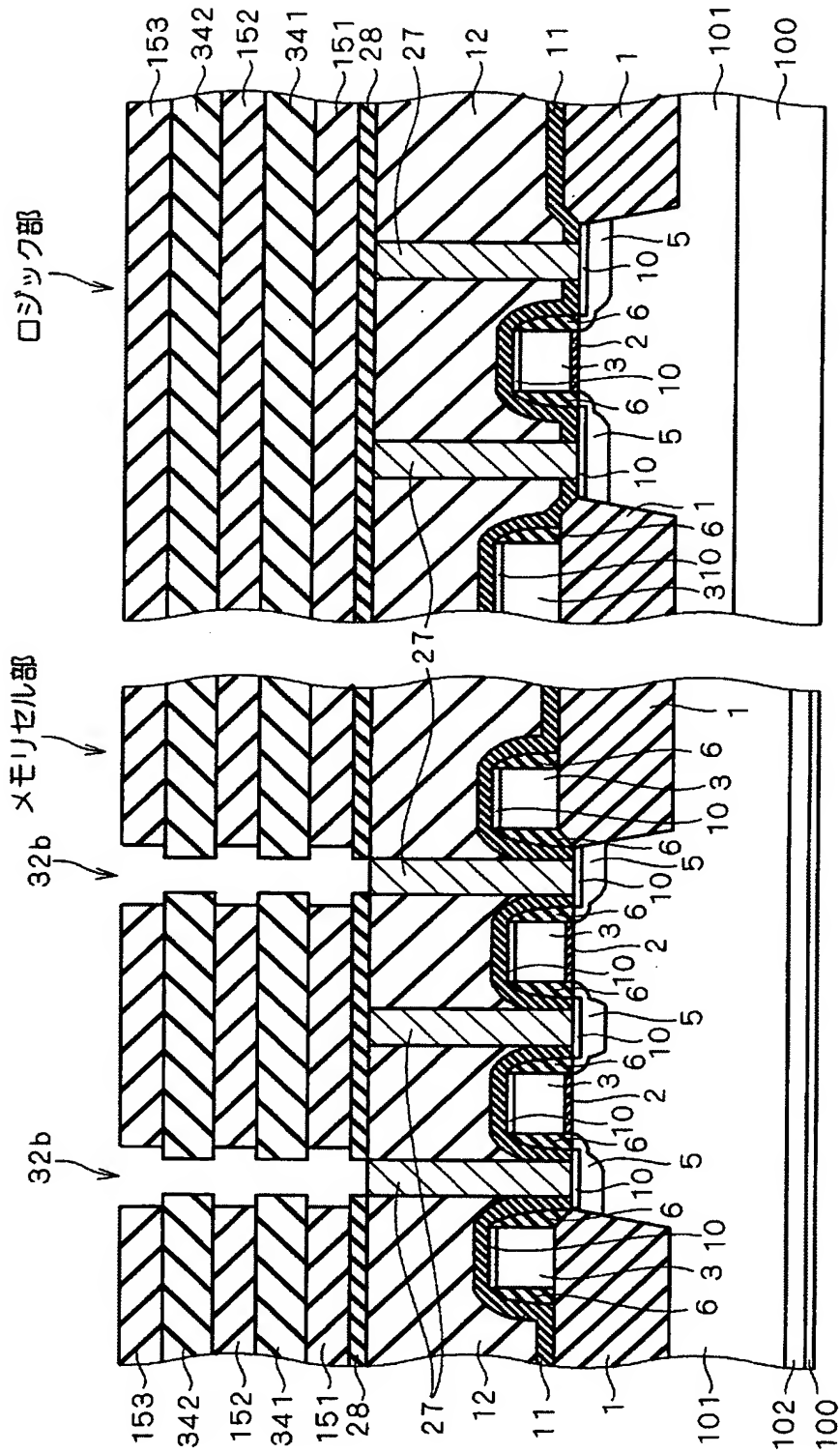
【図14】



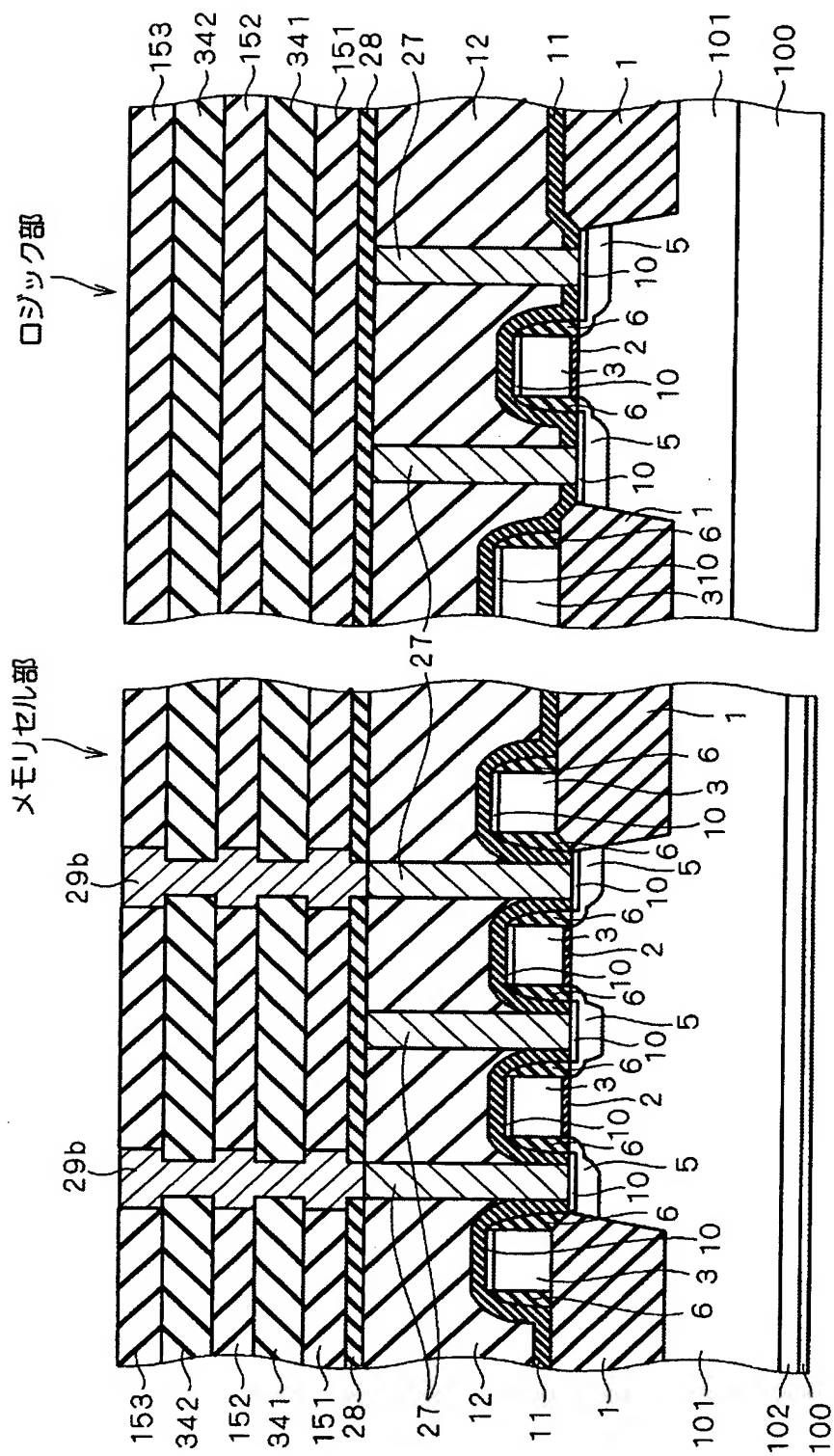
【図15】



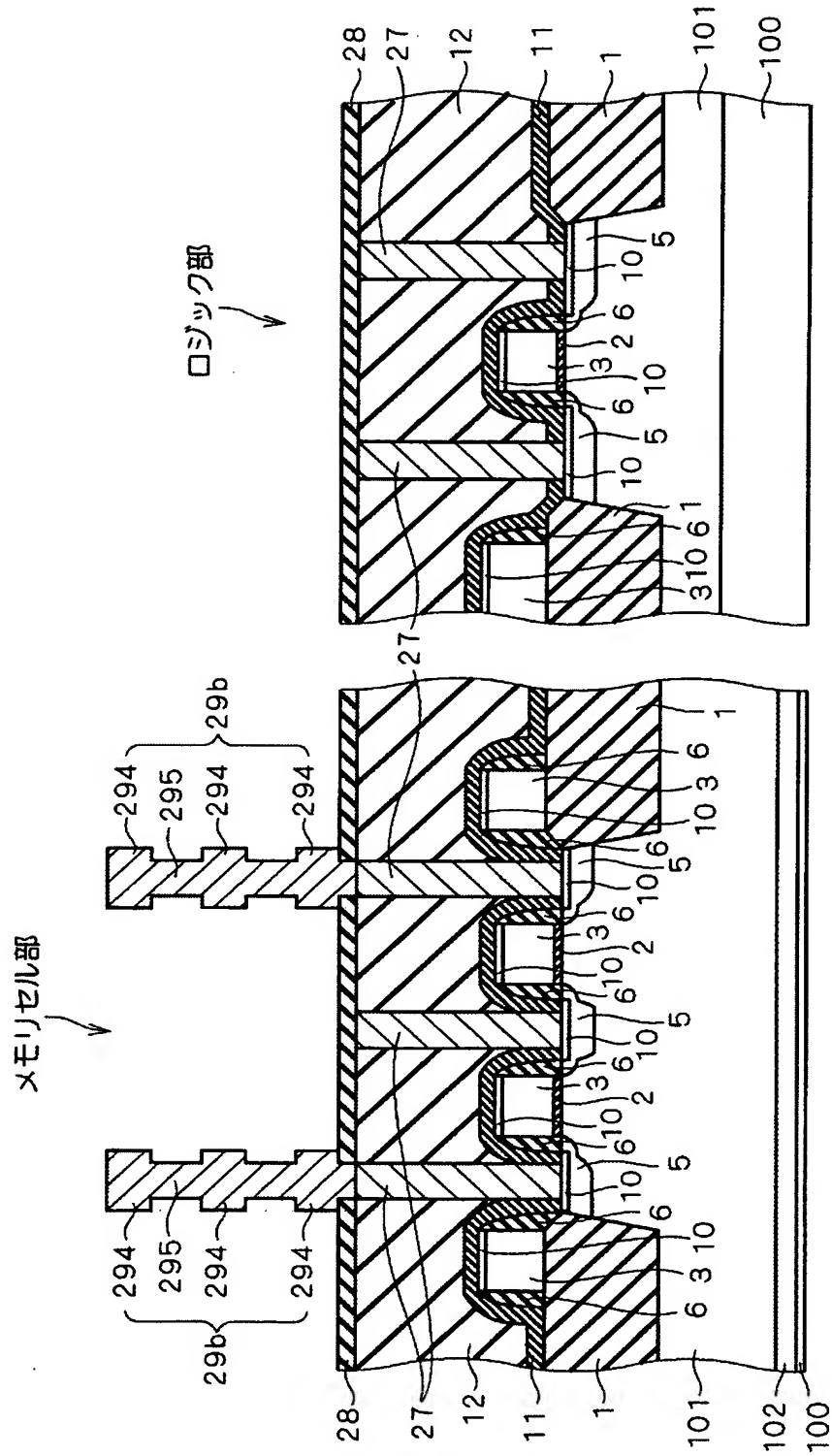
【図16】



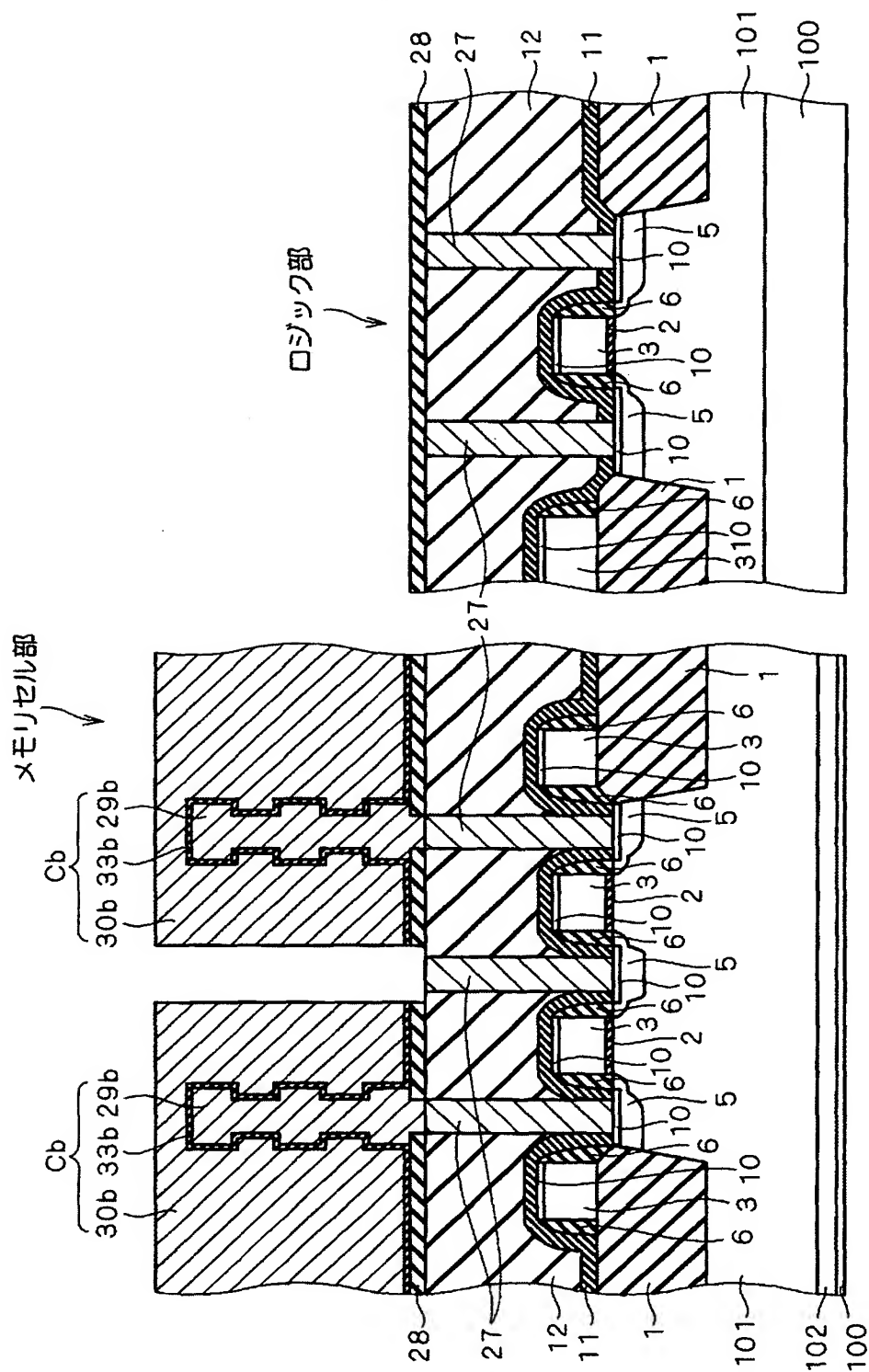
【図 17】



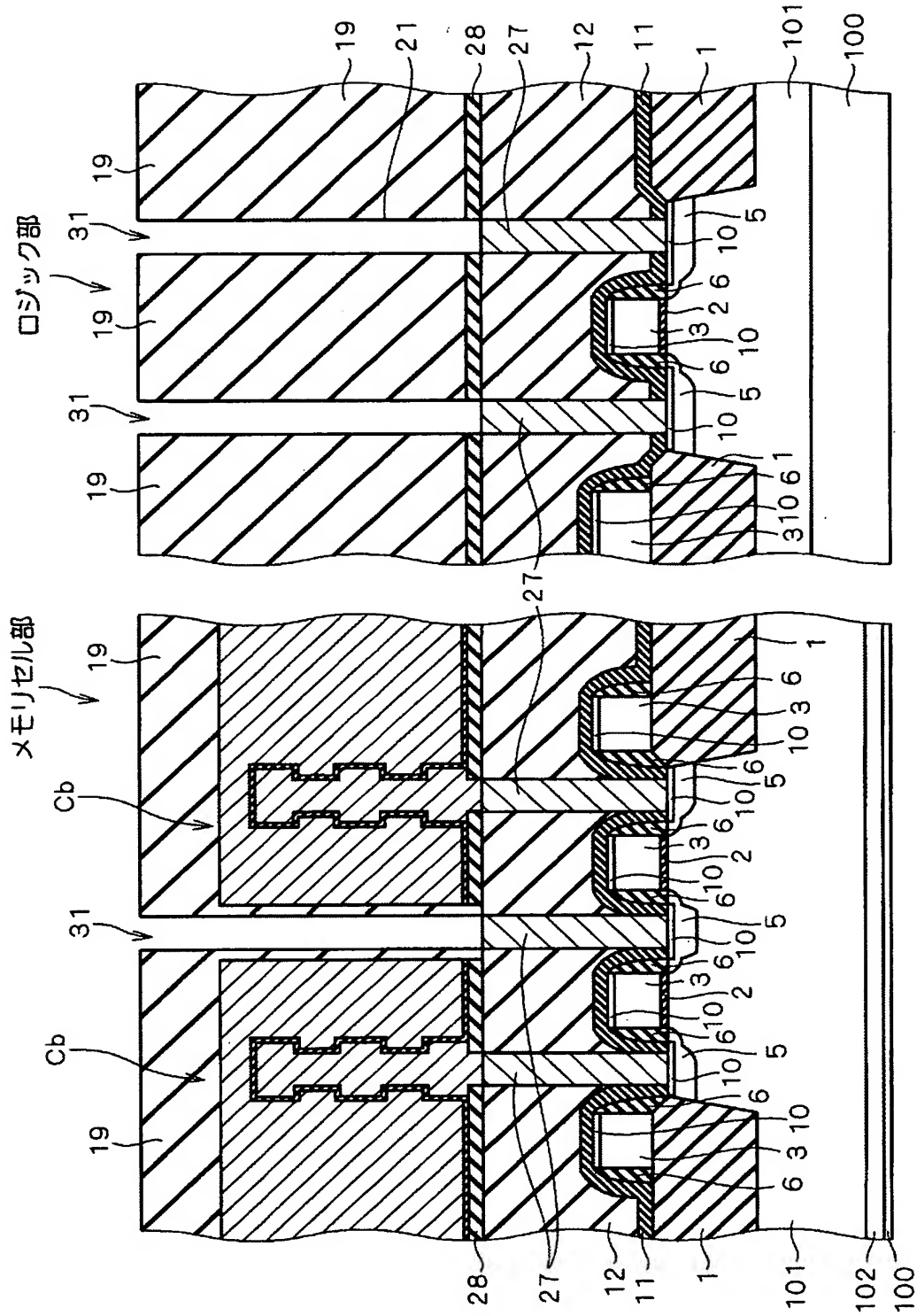
【図 18】



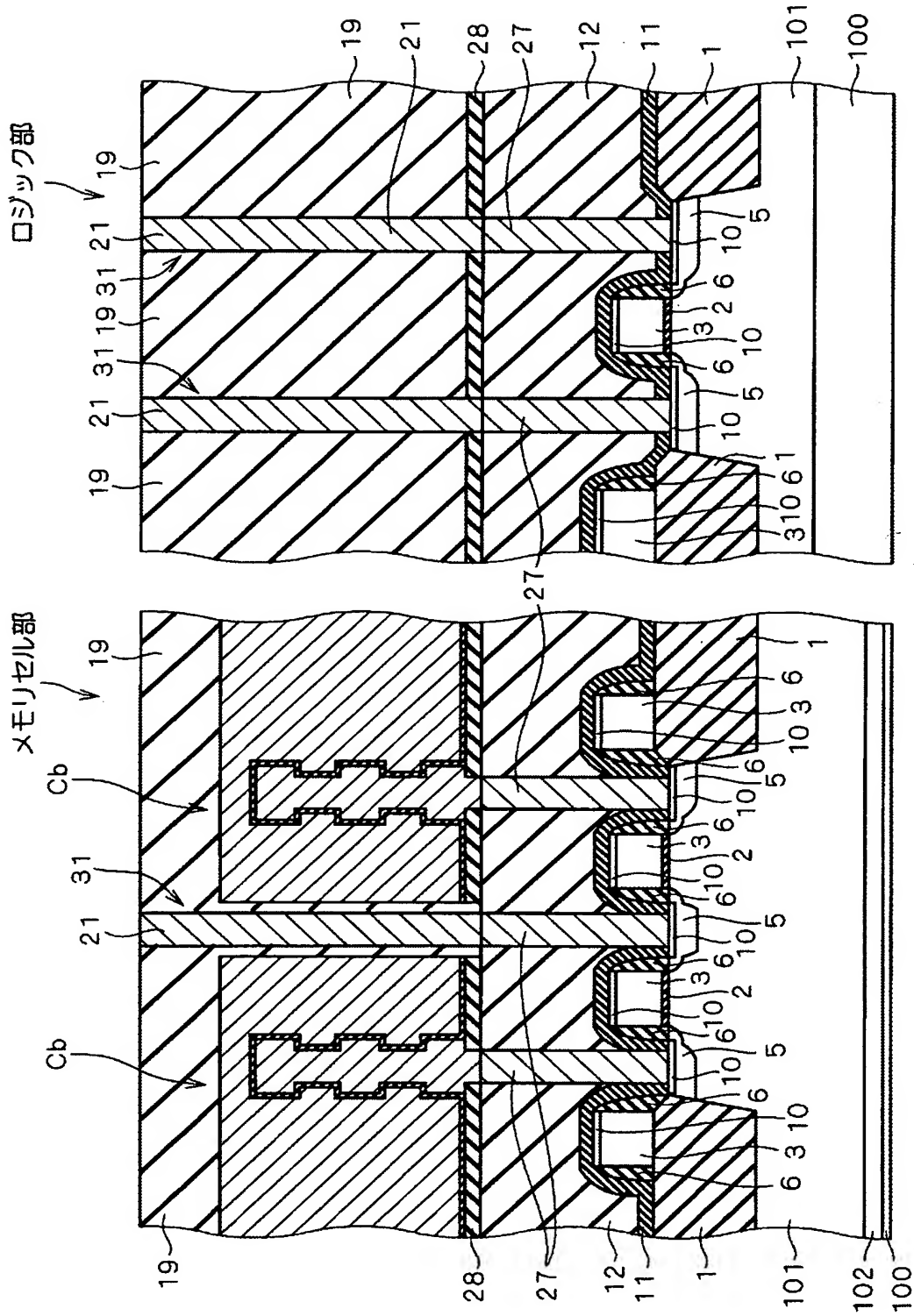
【図 19】



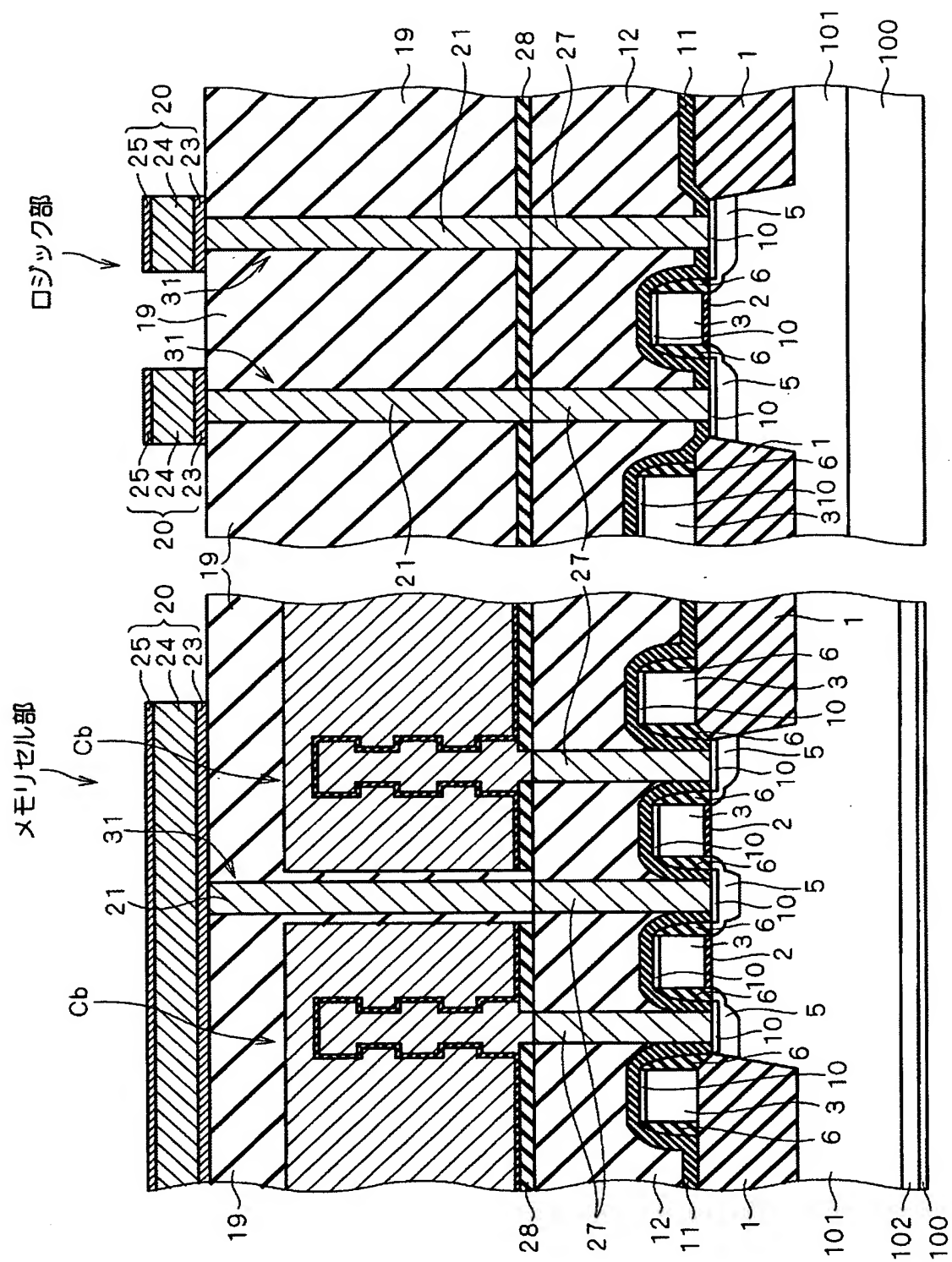
【図20】



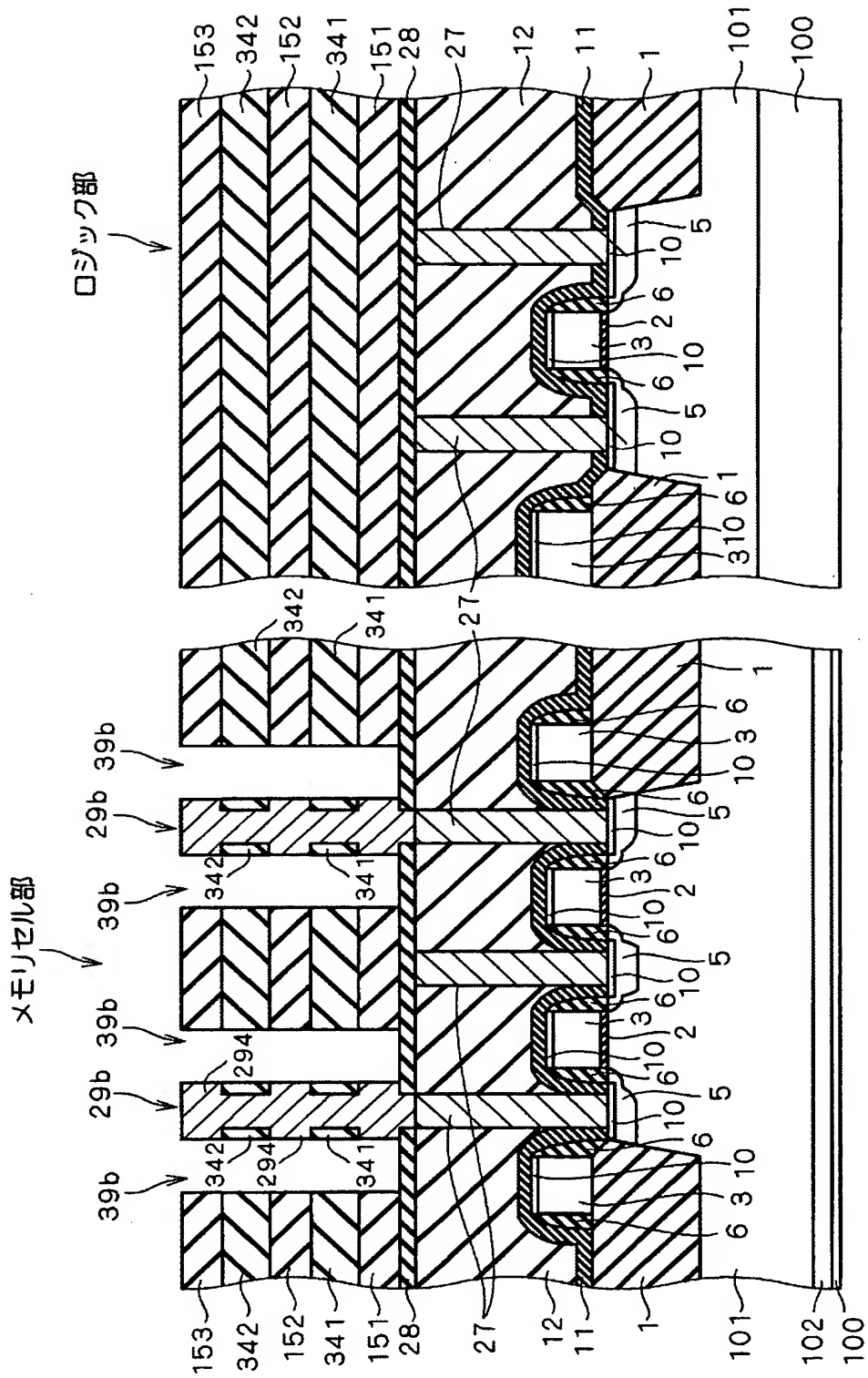
【図 21】



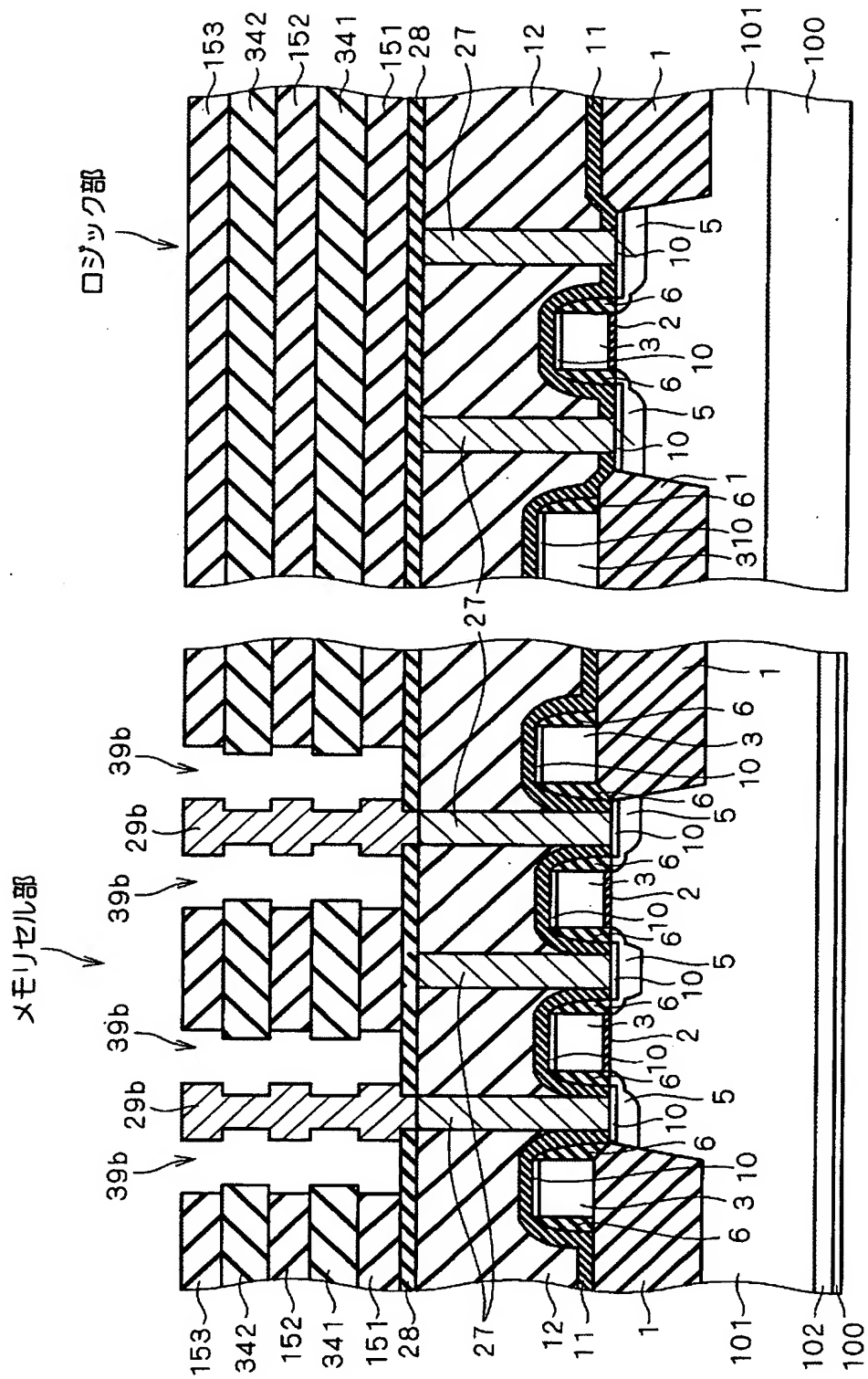
【図22】



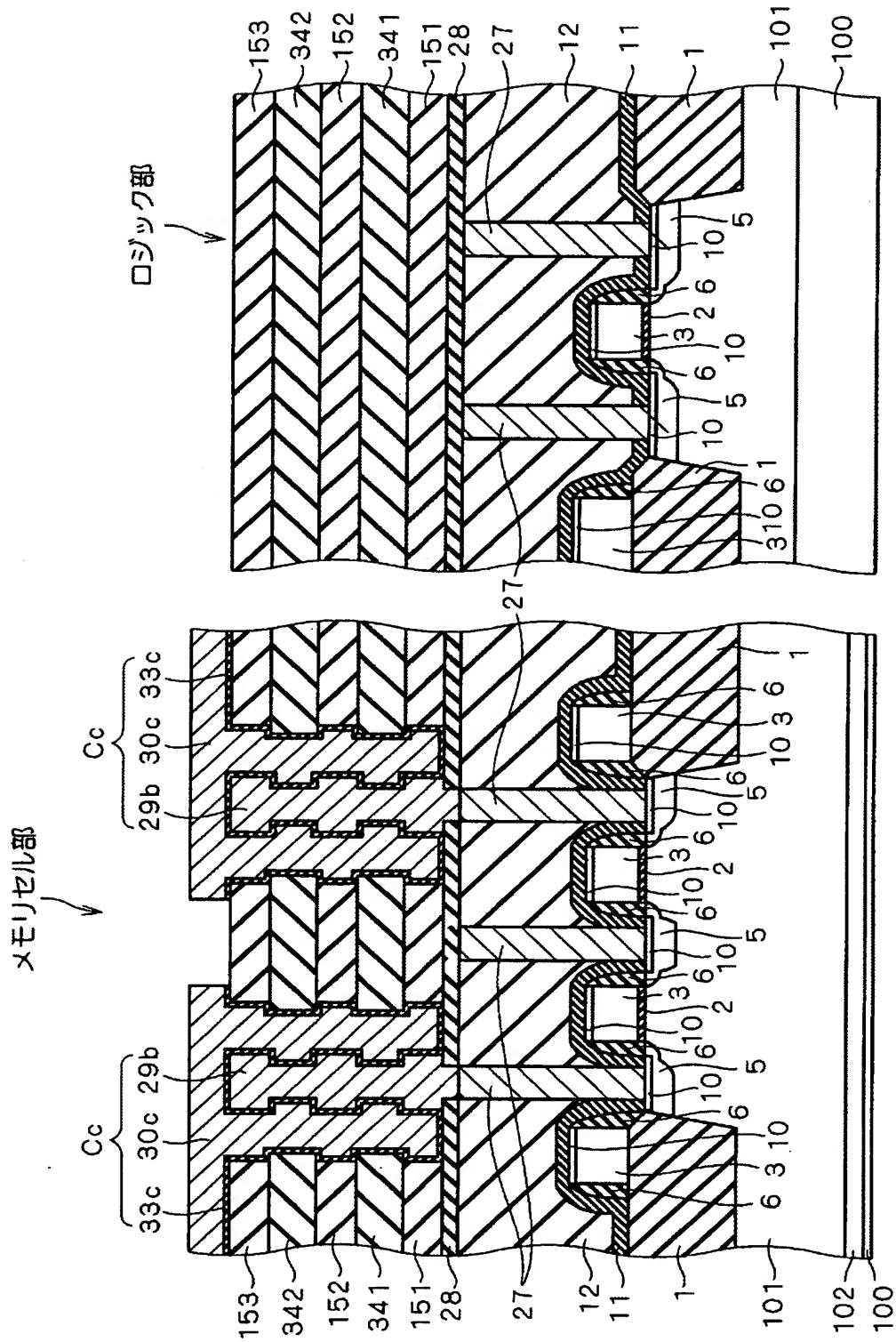
【図 23】



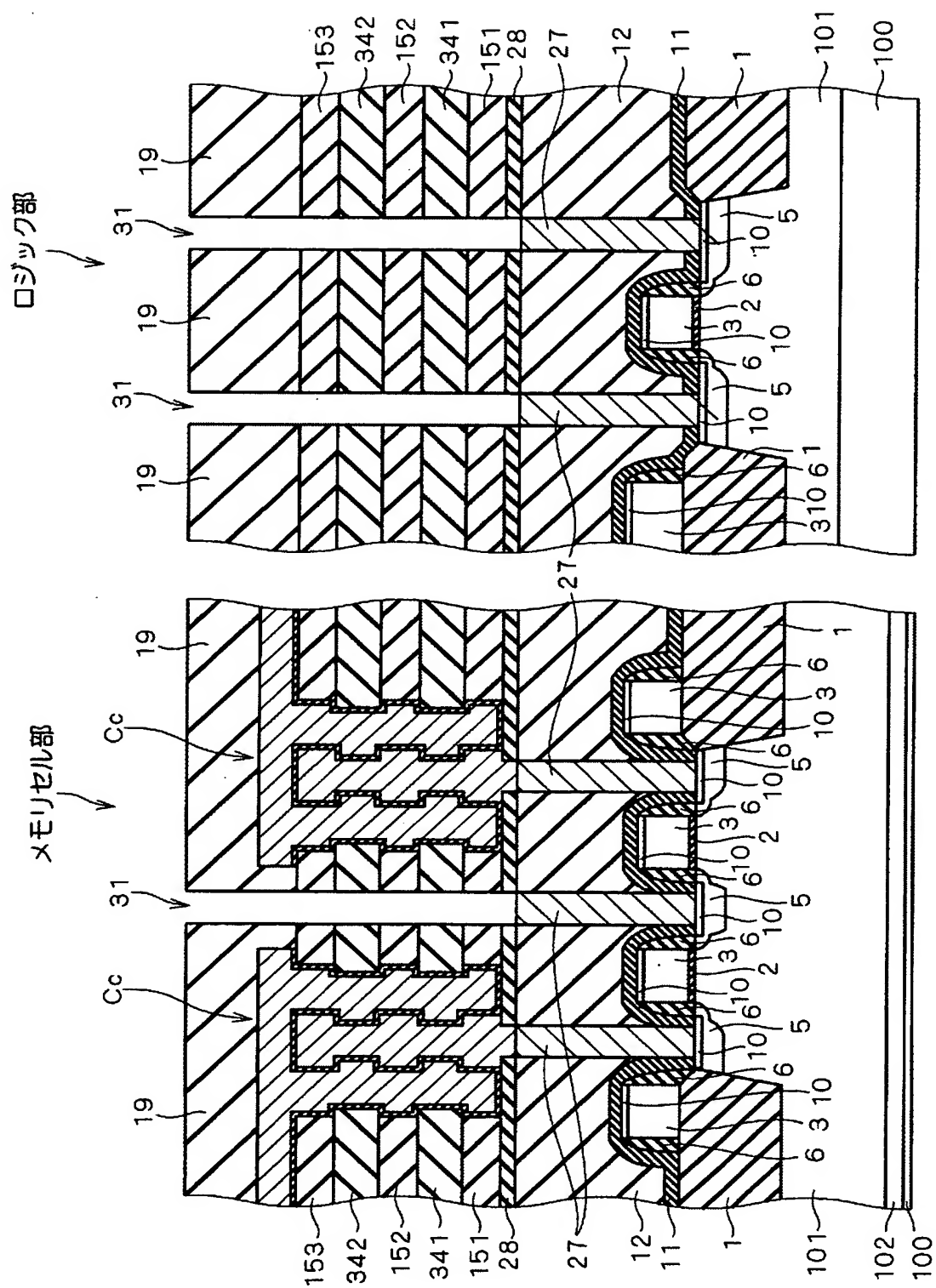
【図 24】



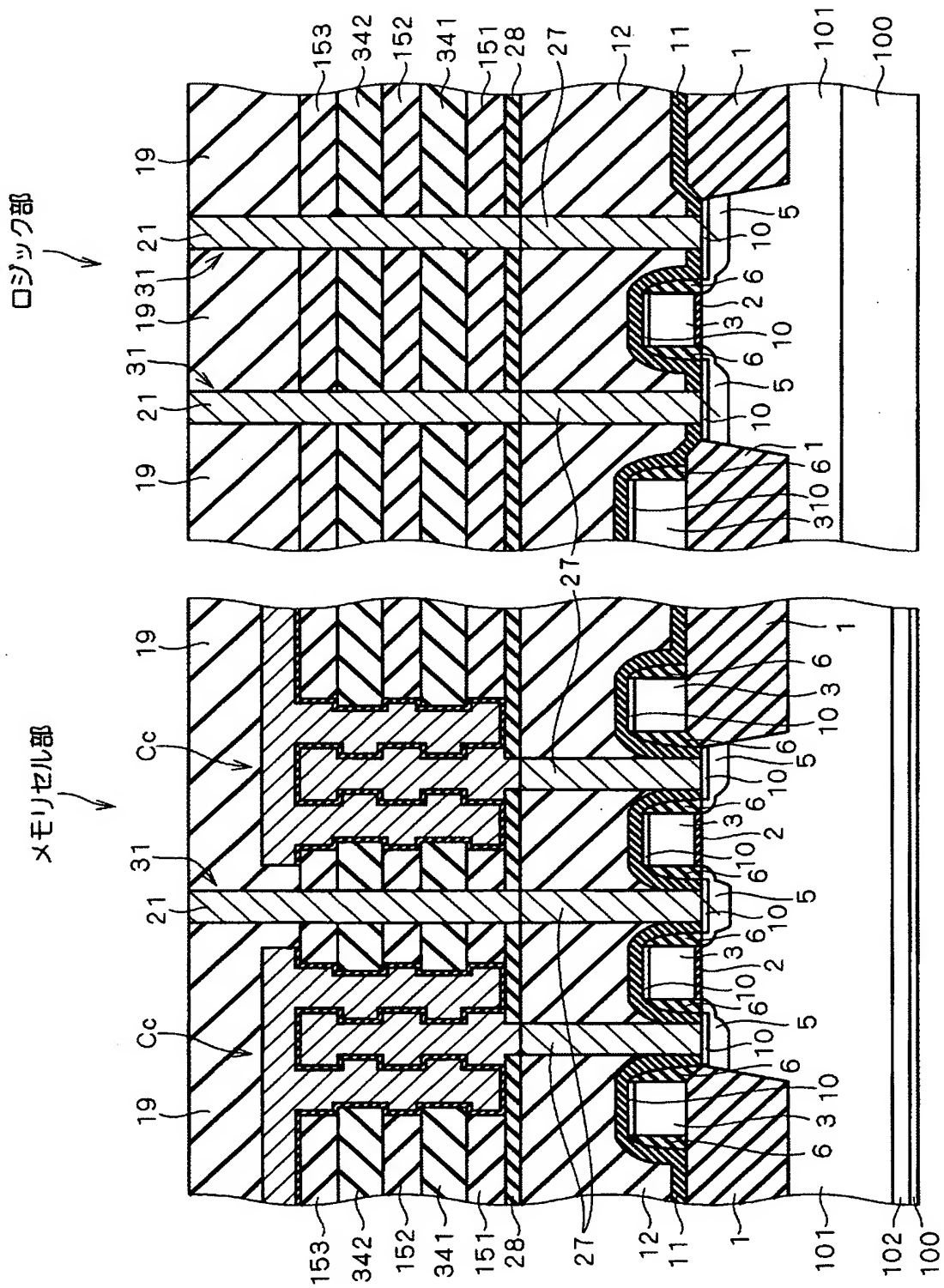
【図 25】



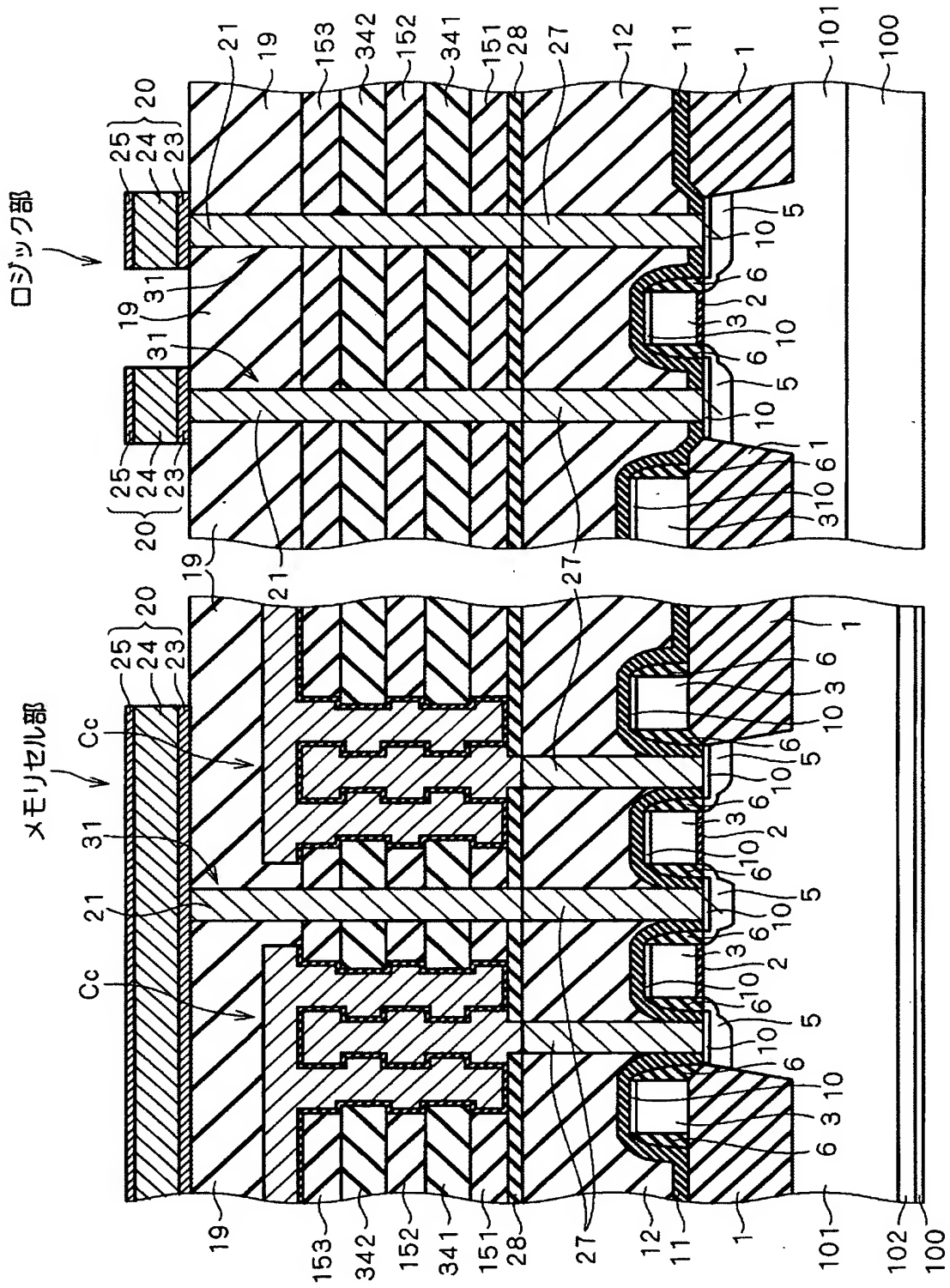
【図 26】



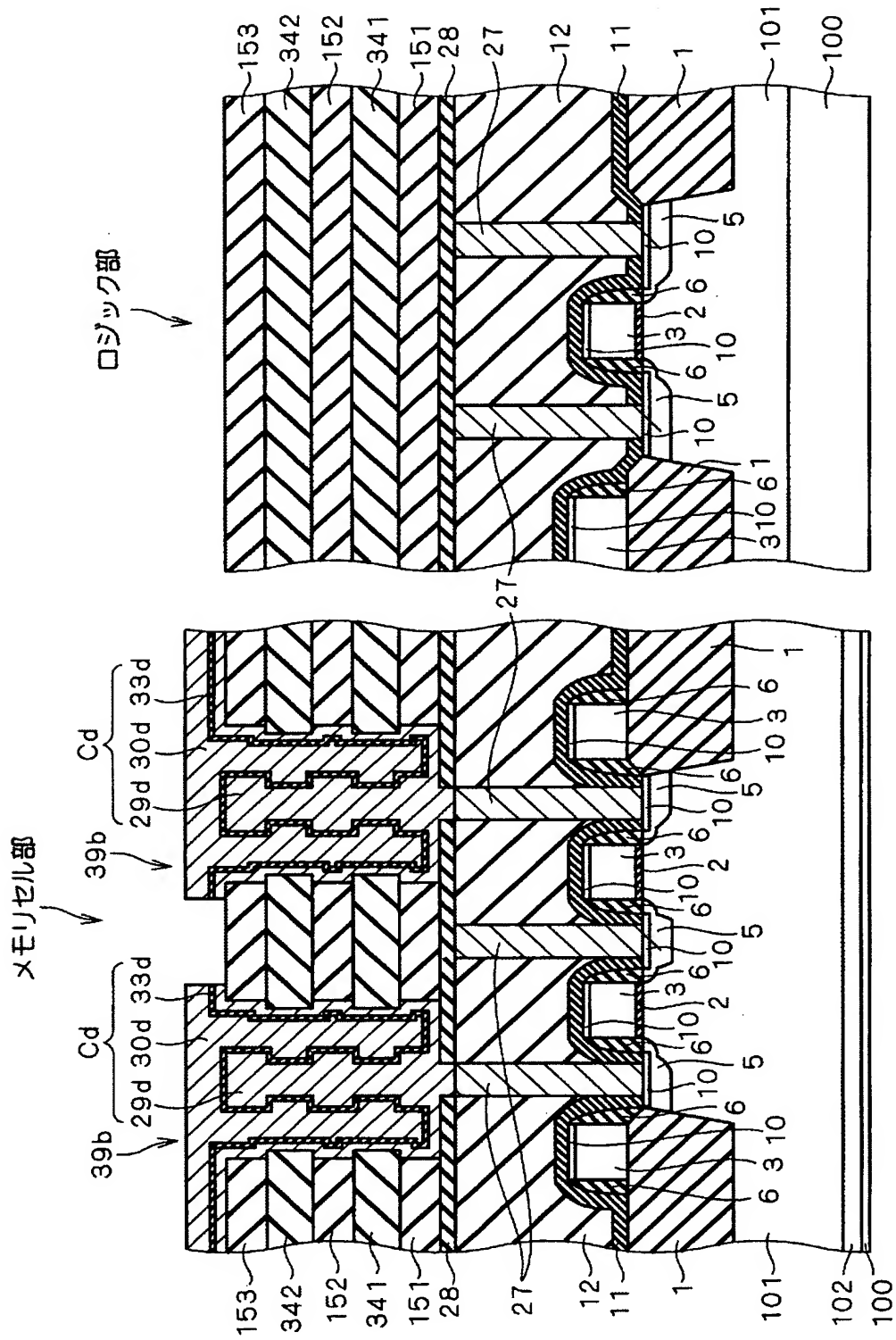
【図 2 7】



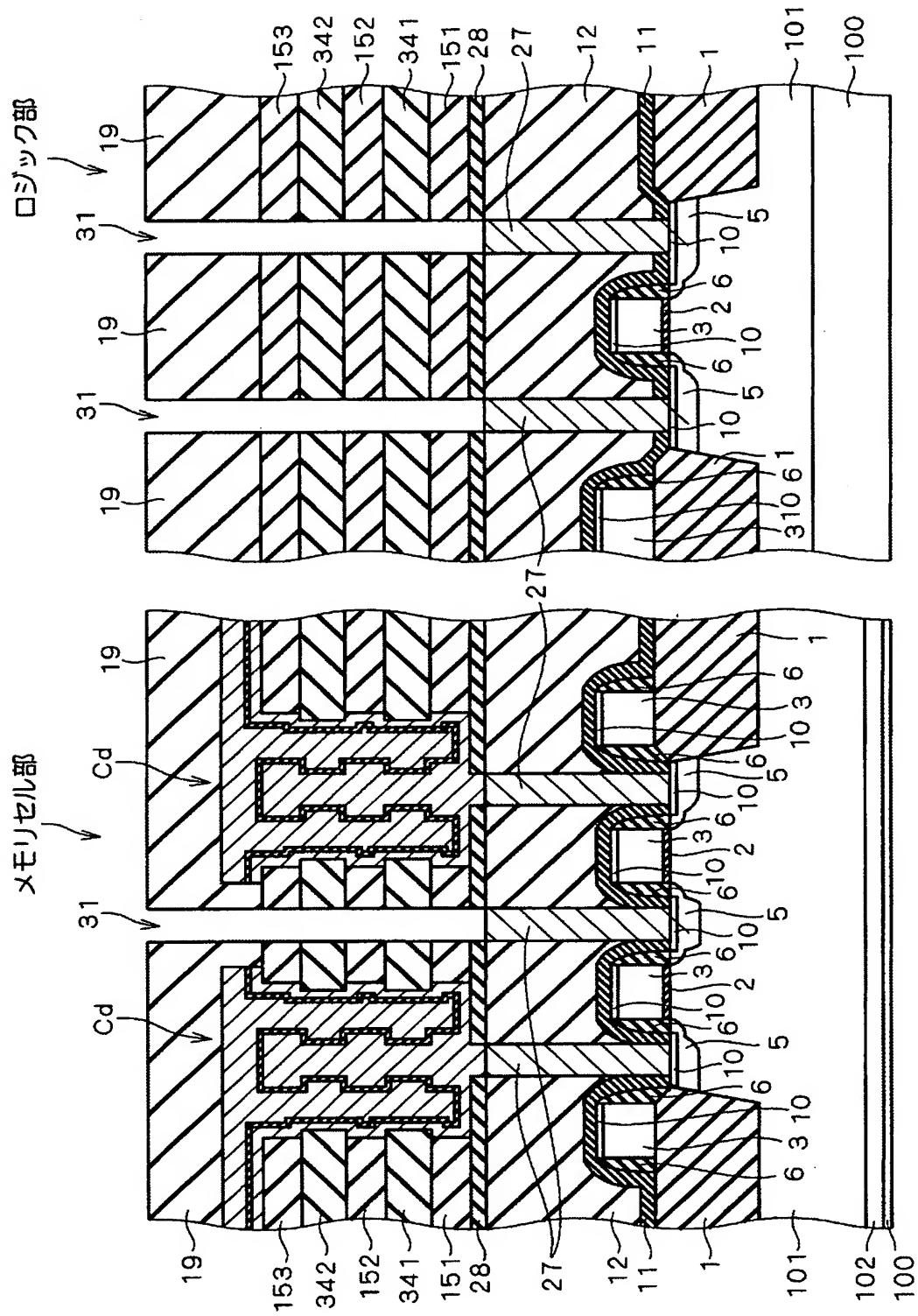
【図28】



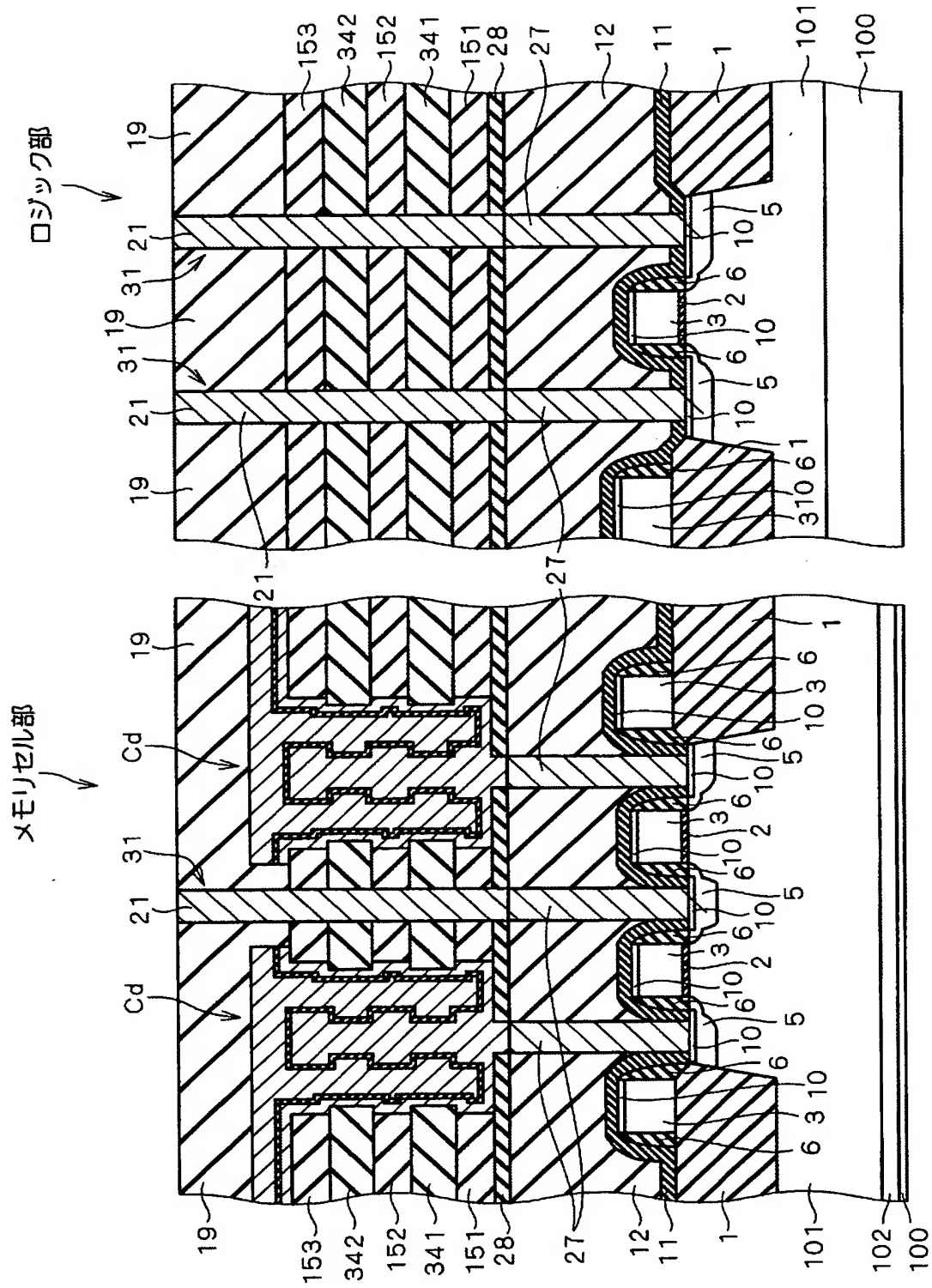
【図29】



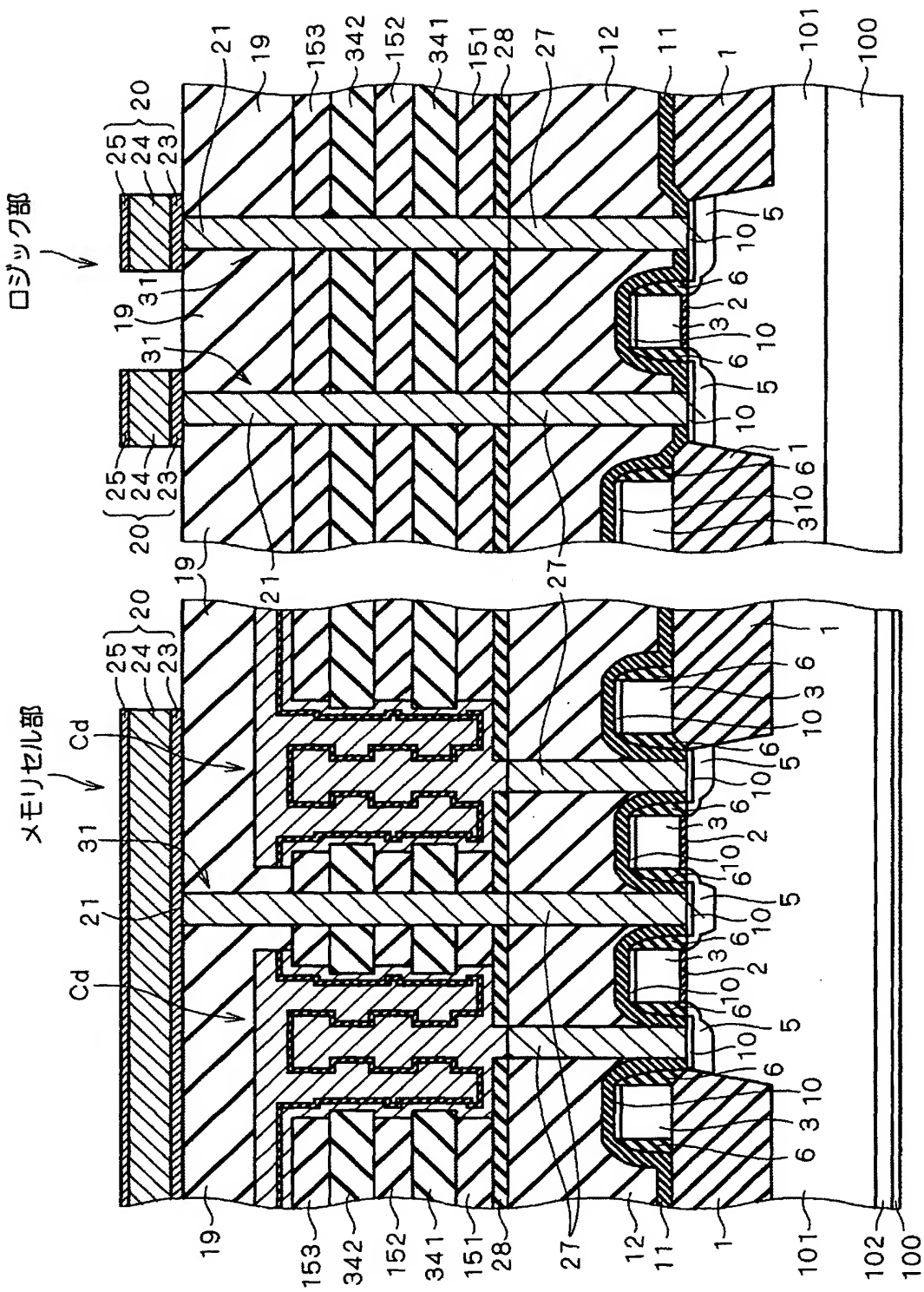
【図 30】



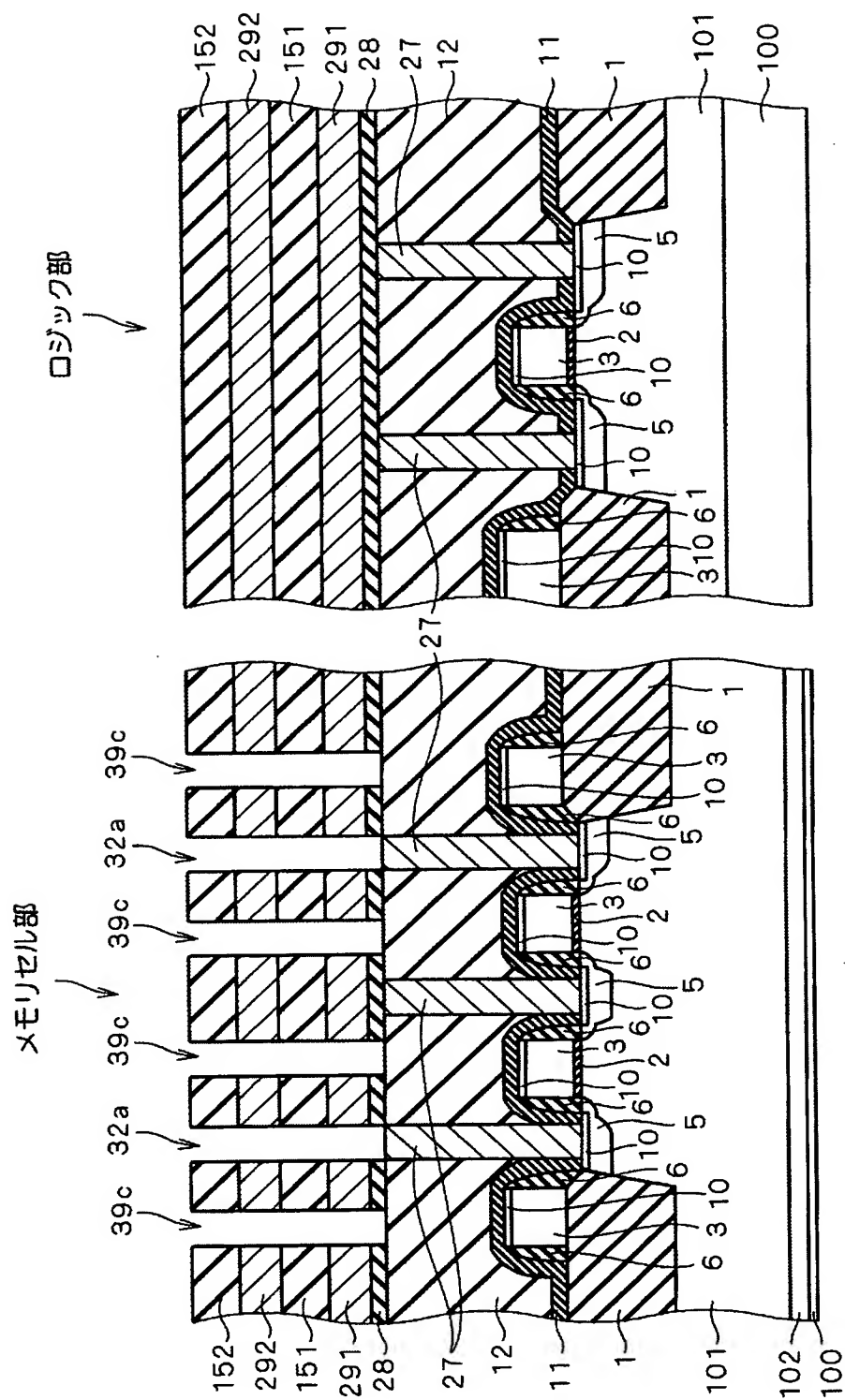
【図 3 1】



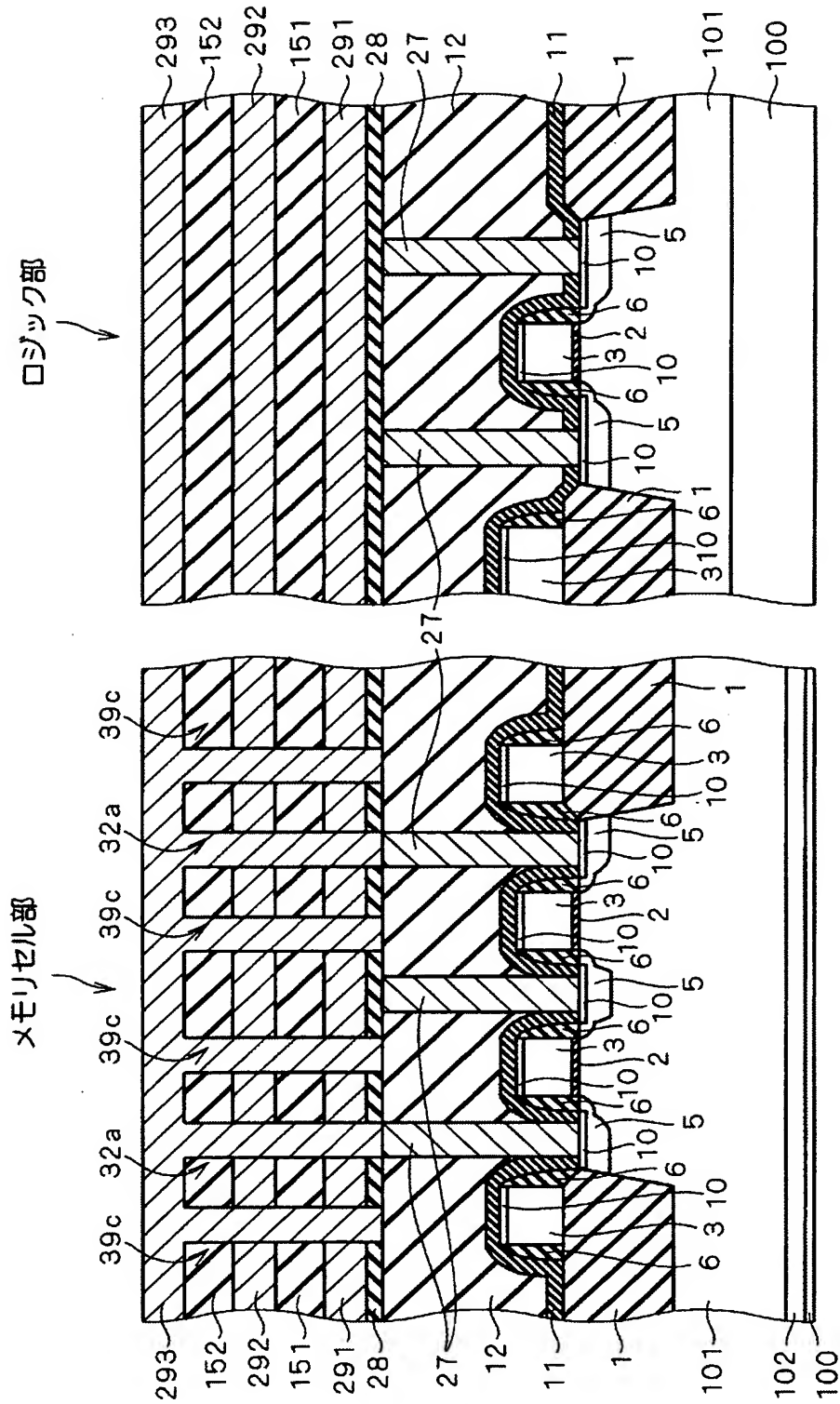
【図 3 2】



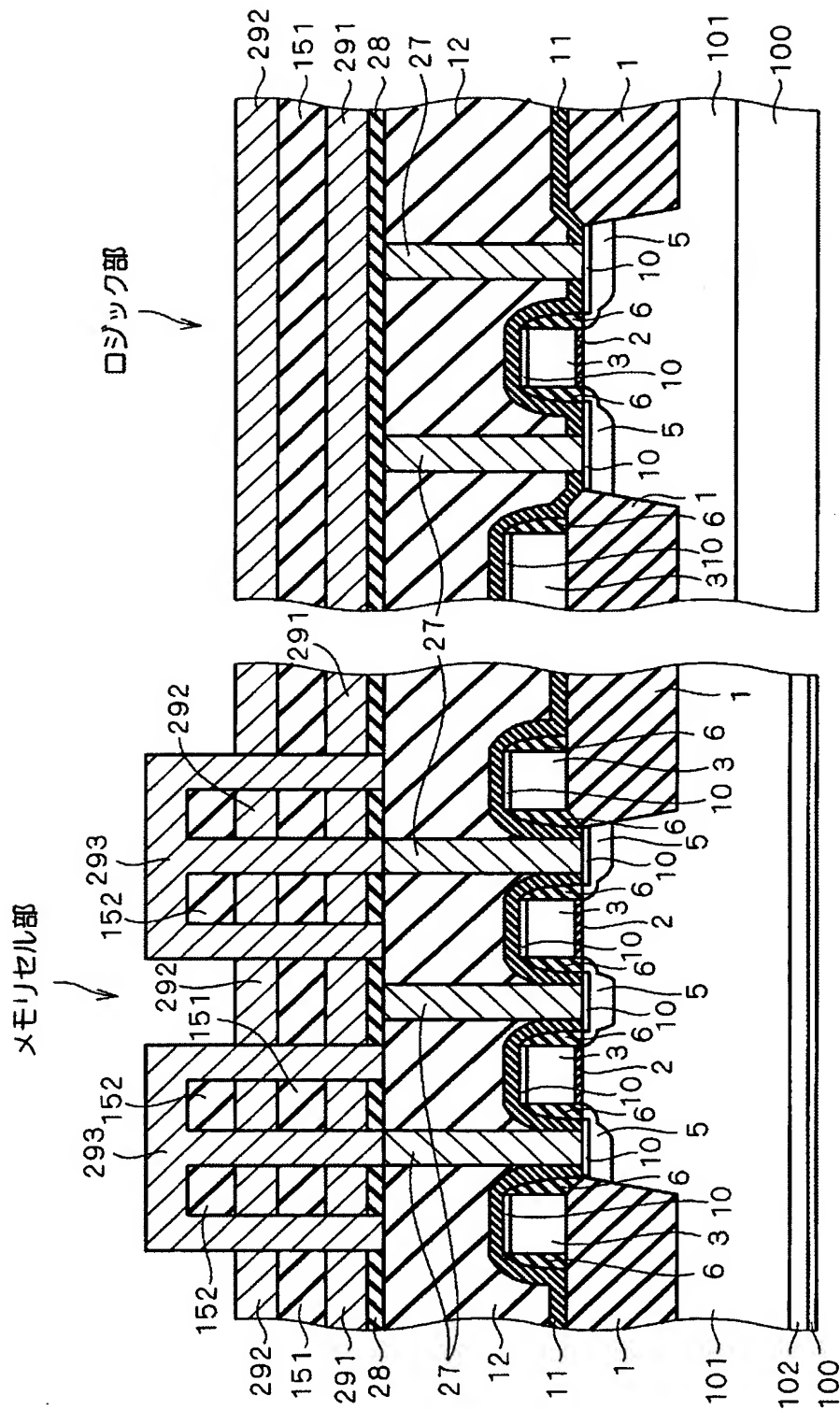
【図 3 3】



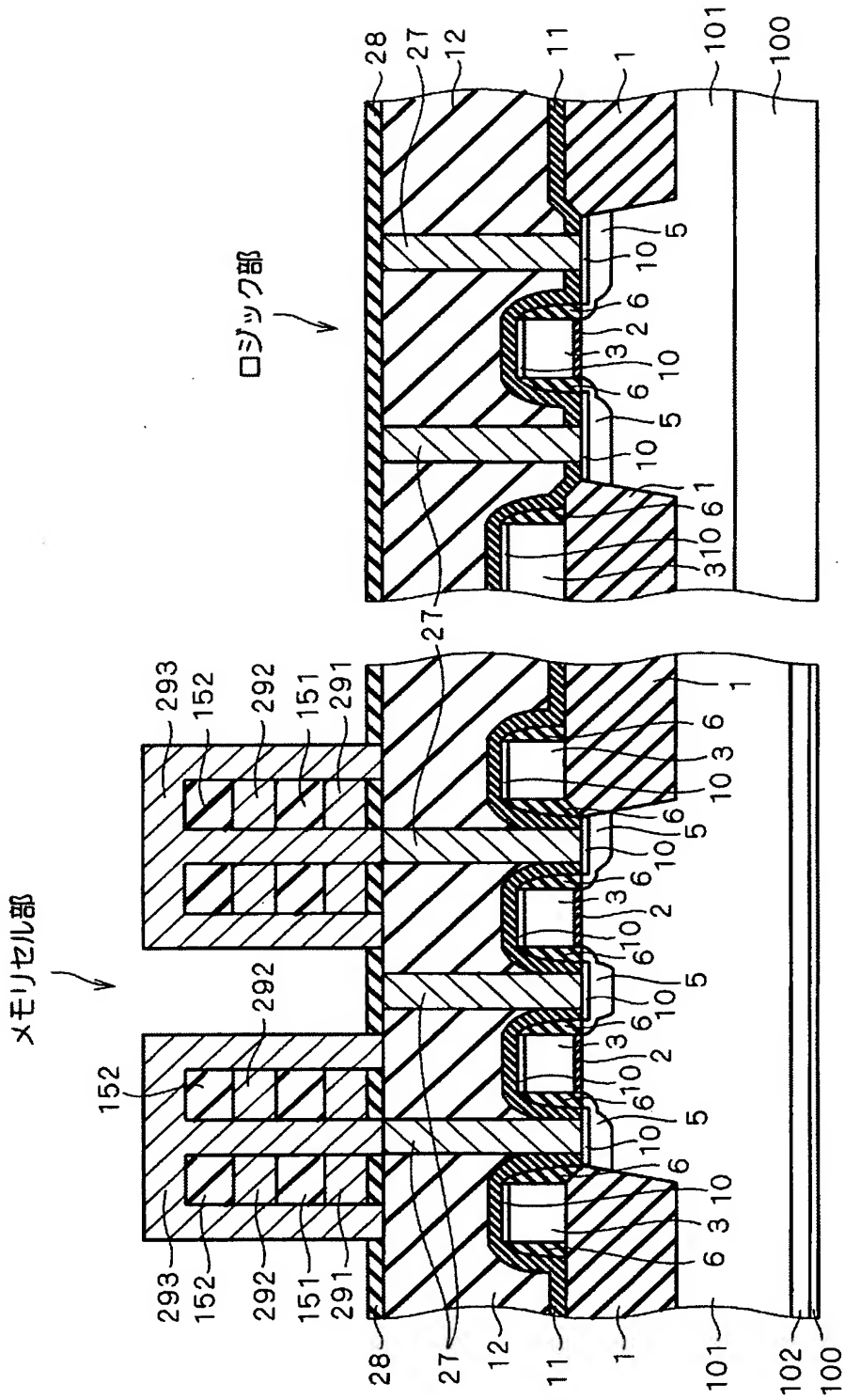
【図34】



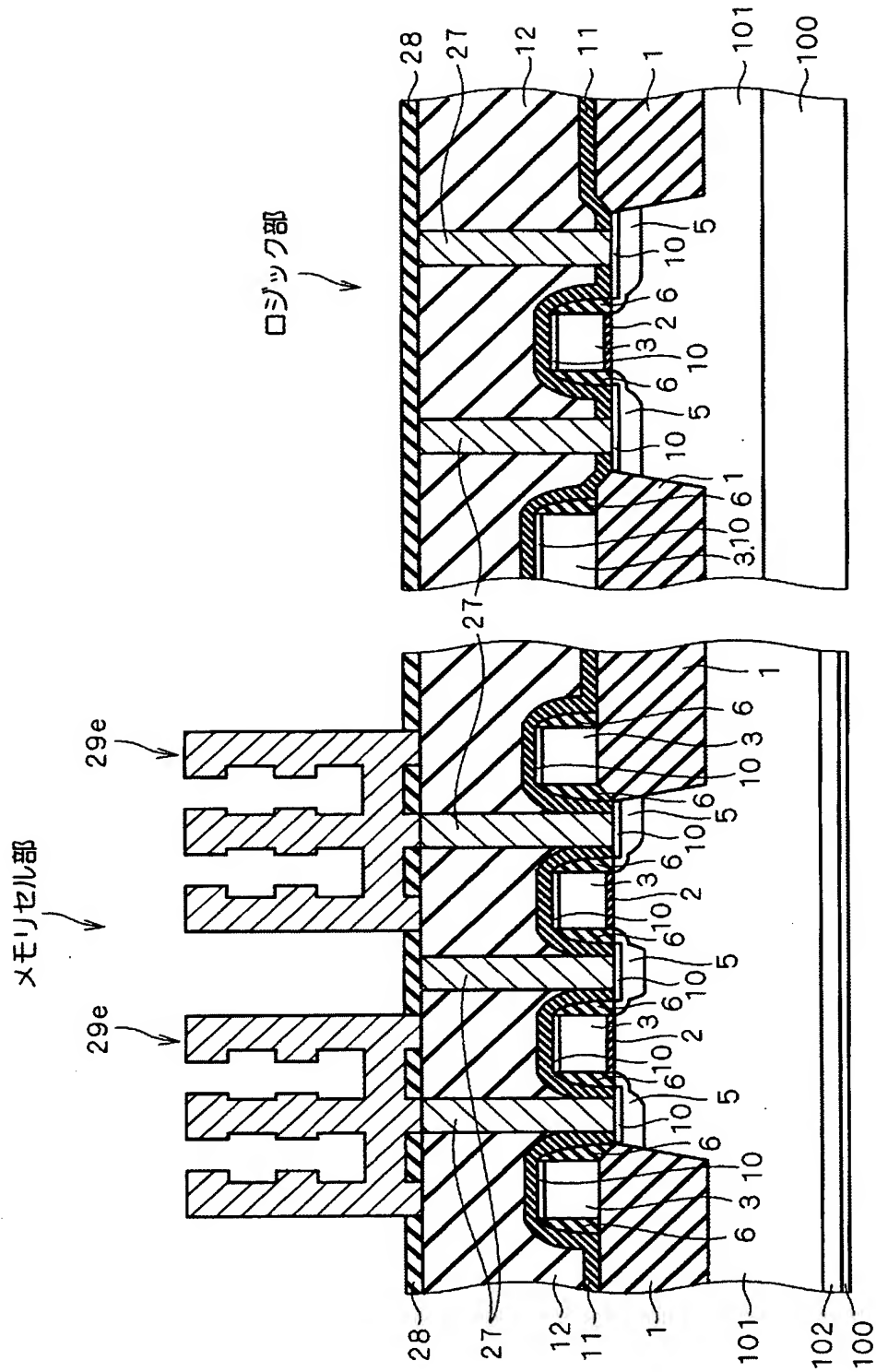
【図35】



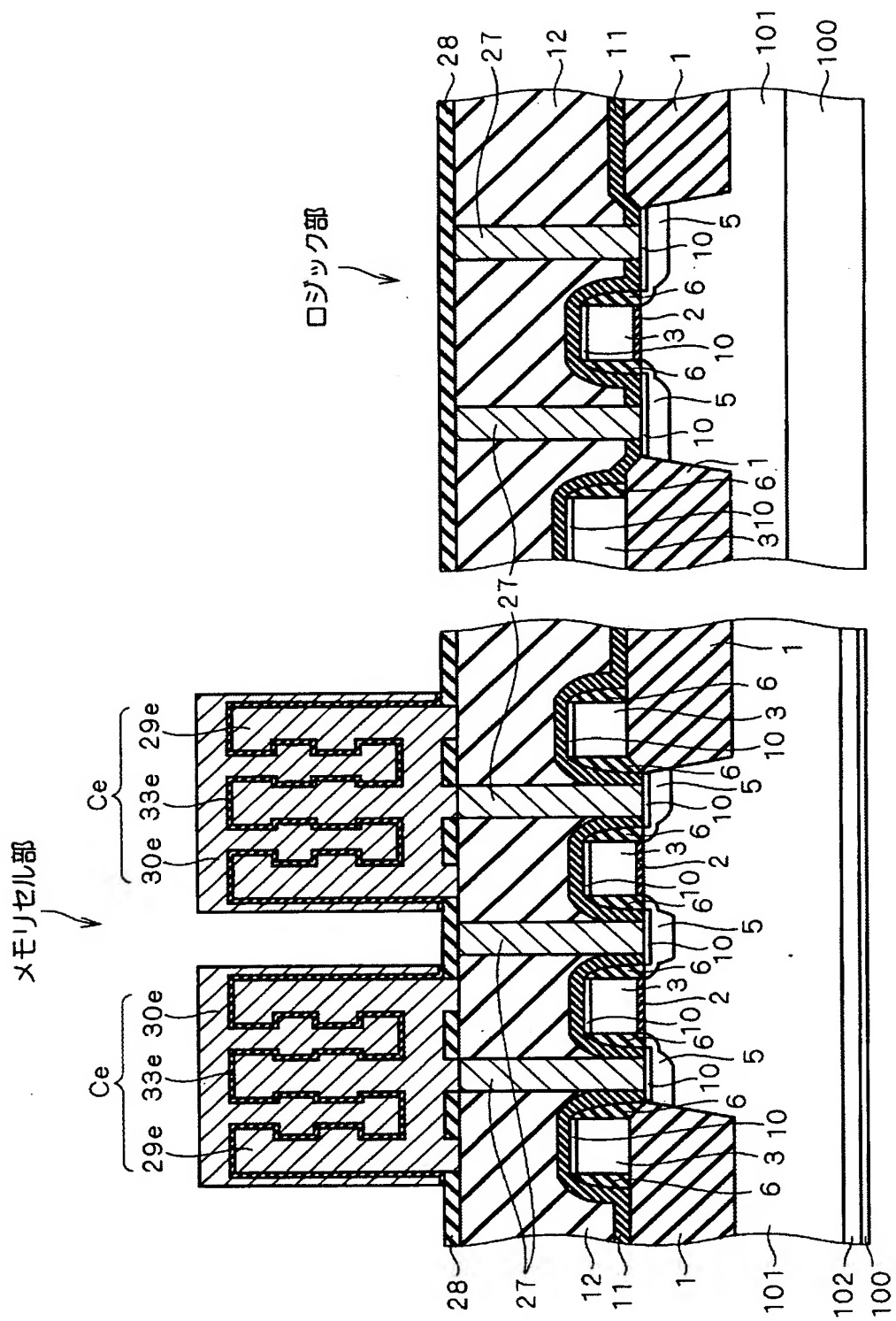
【図36】



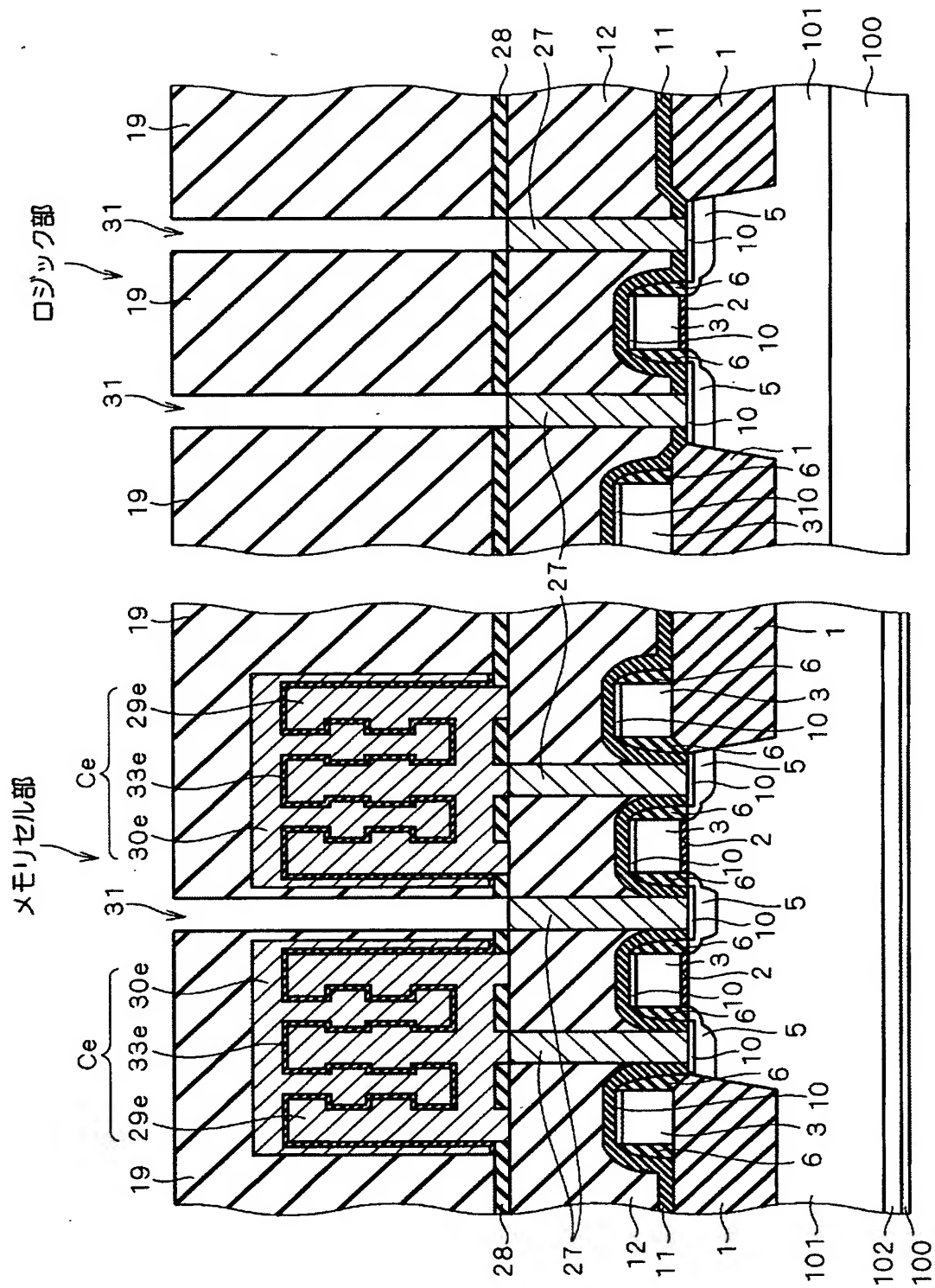
【図 37】



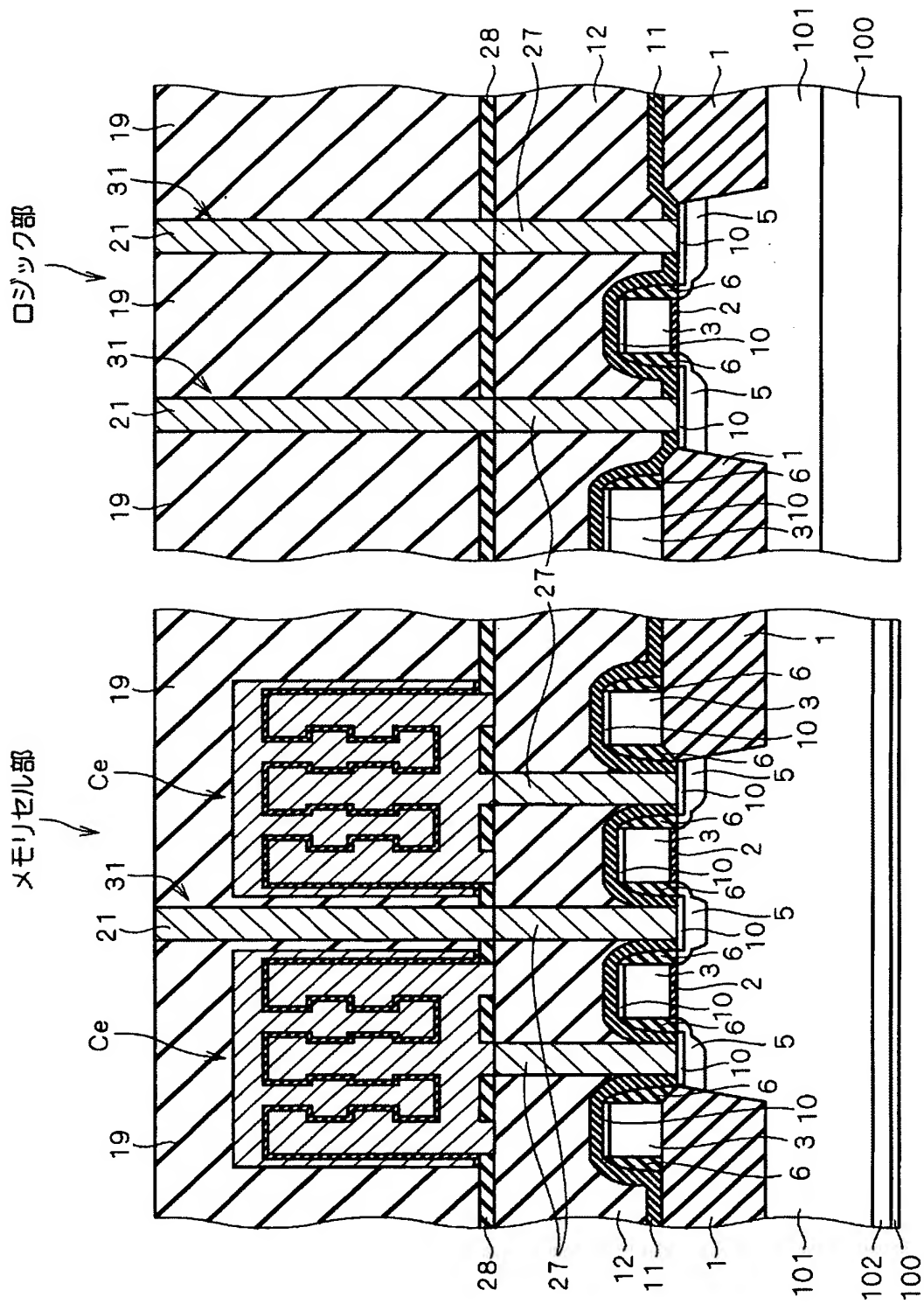
【図 38】



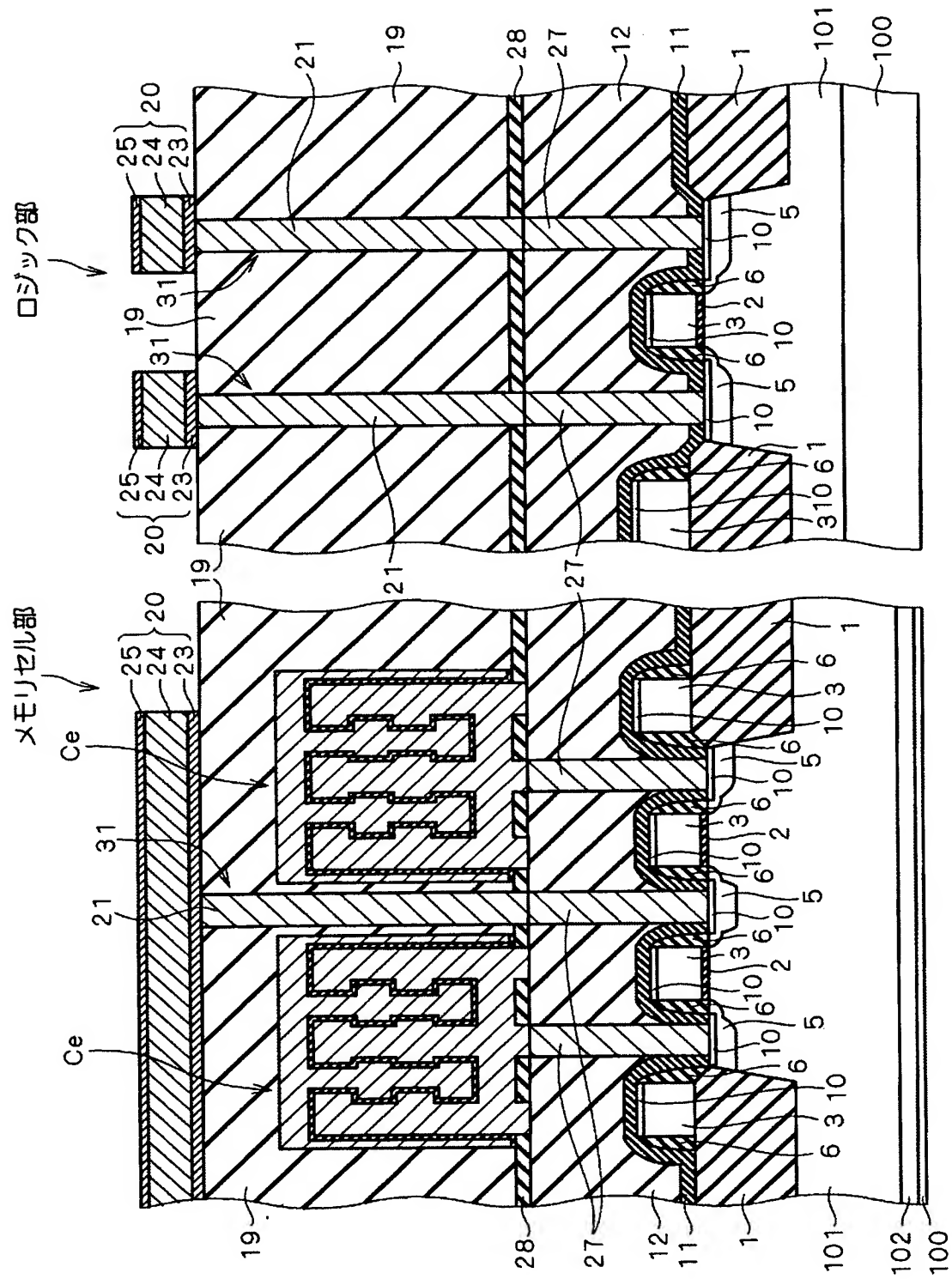
【図 3 9】



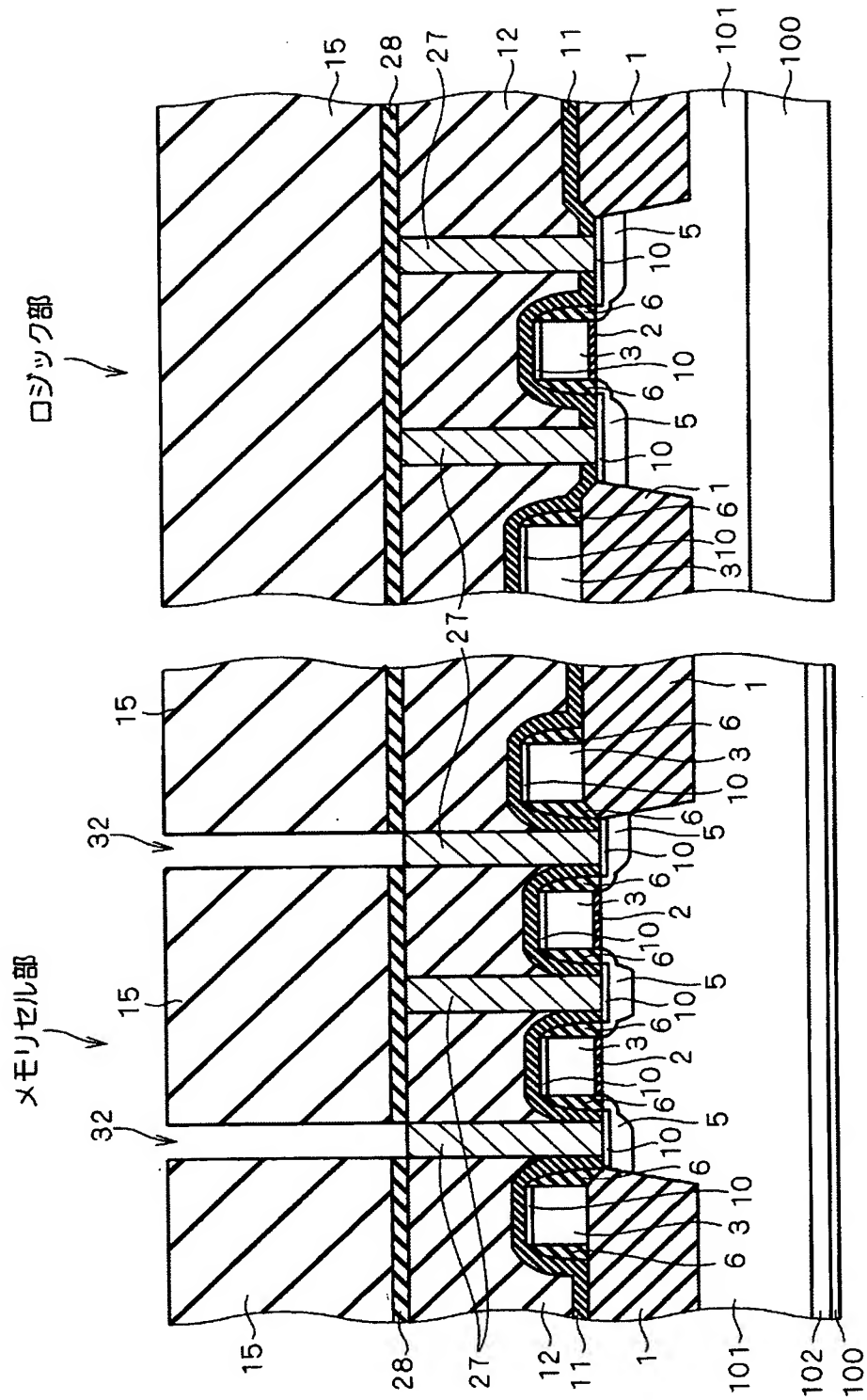
【図4-0】



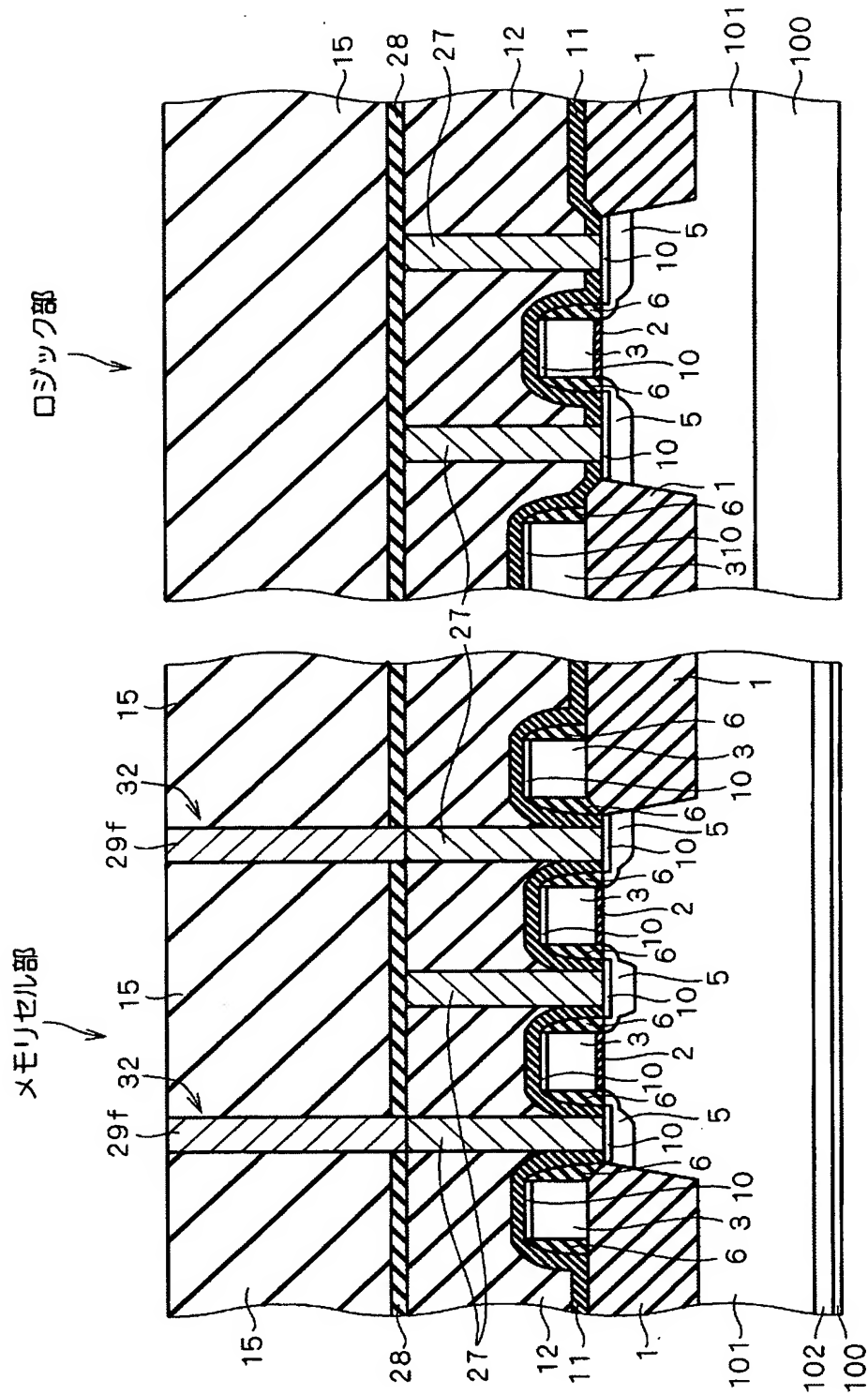
【図41】



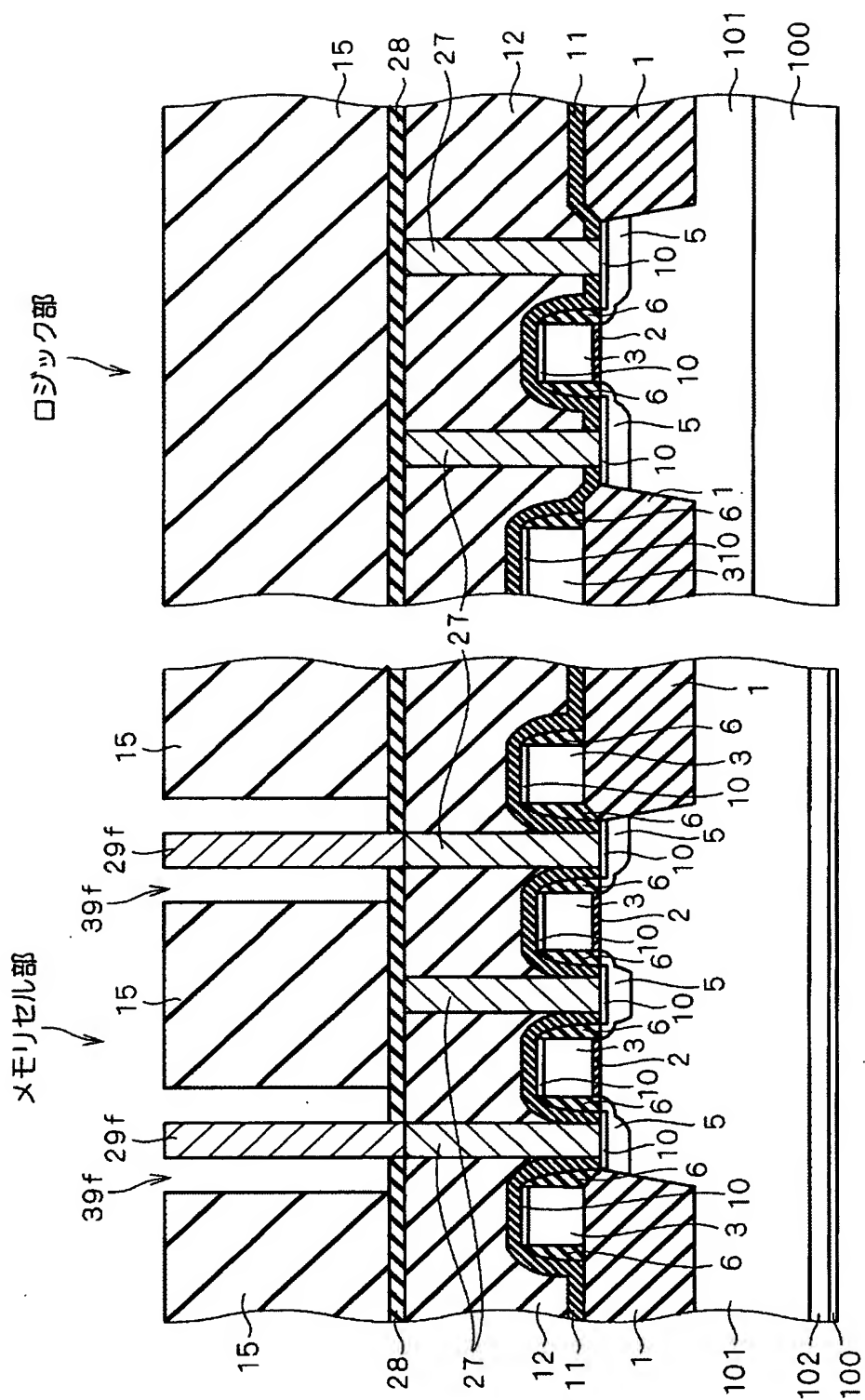
【図 4 2】



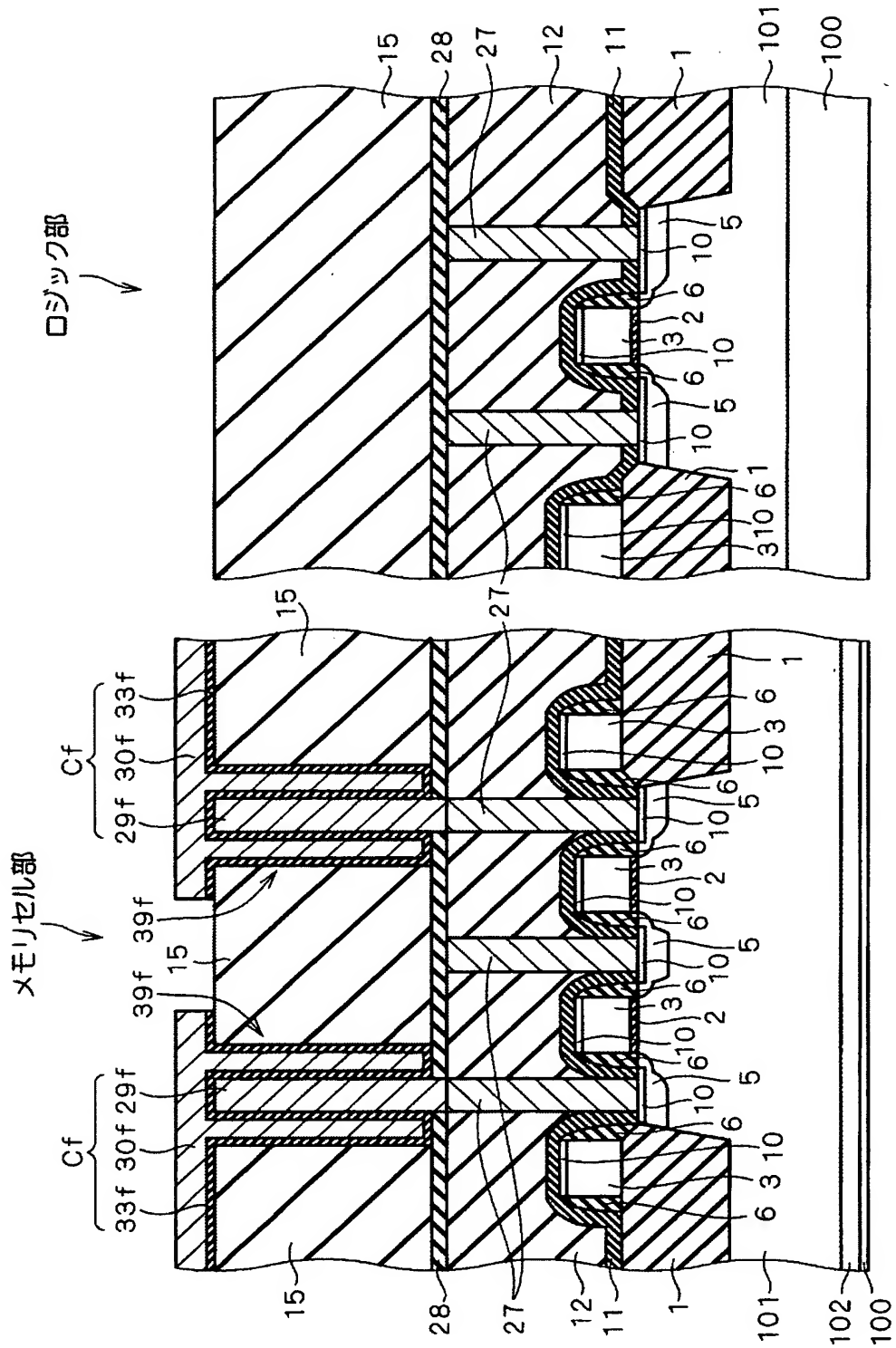
【図43】



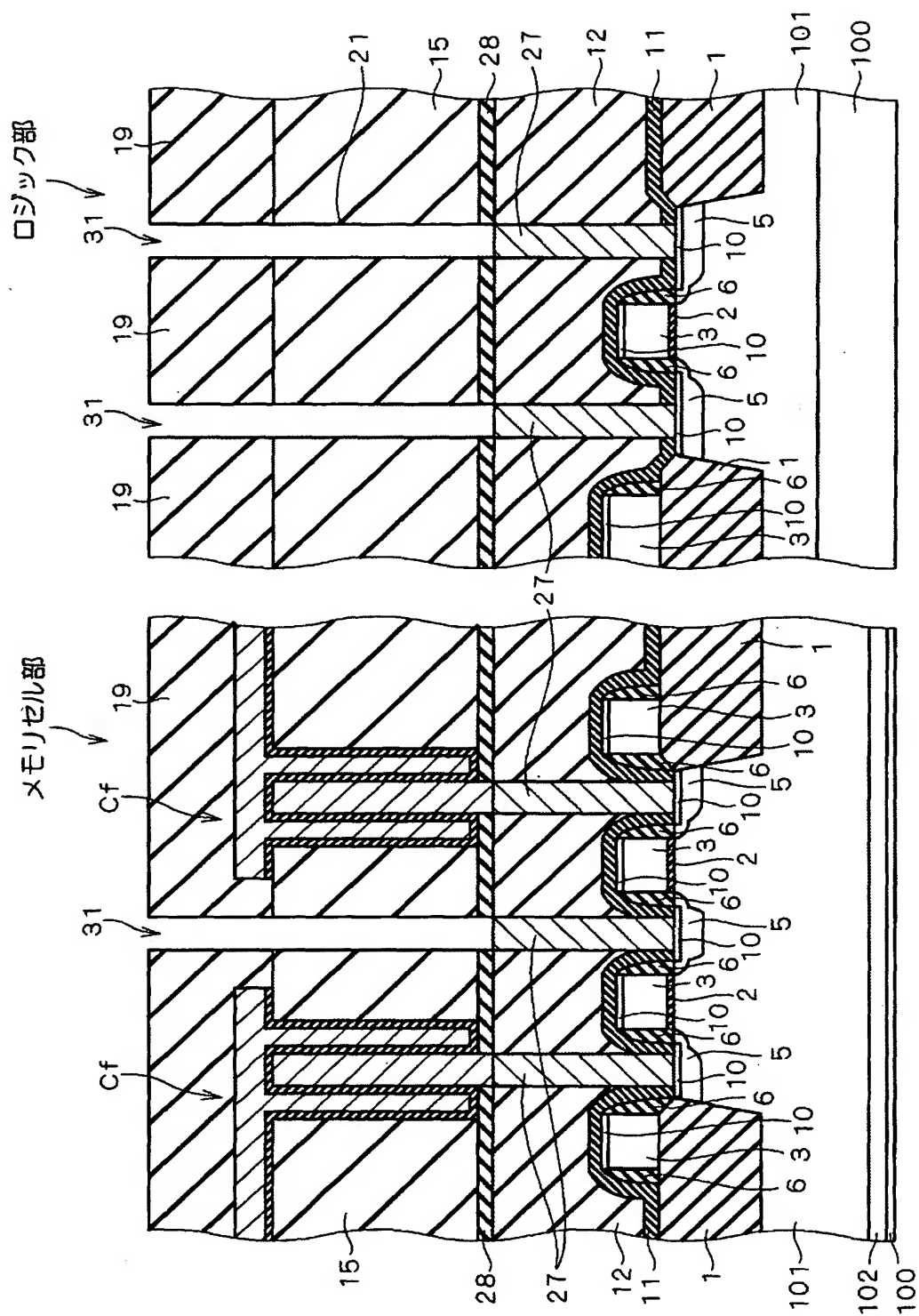
【図 4 4】



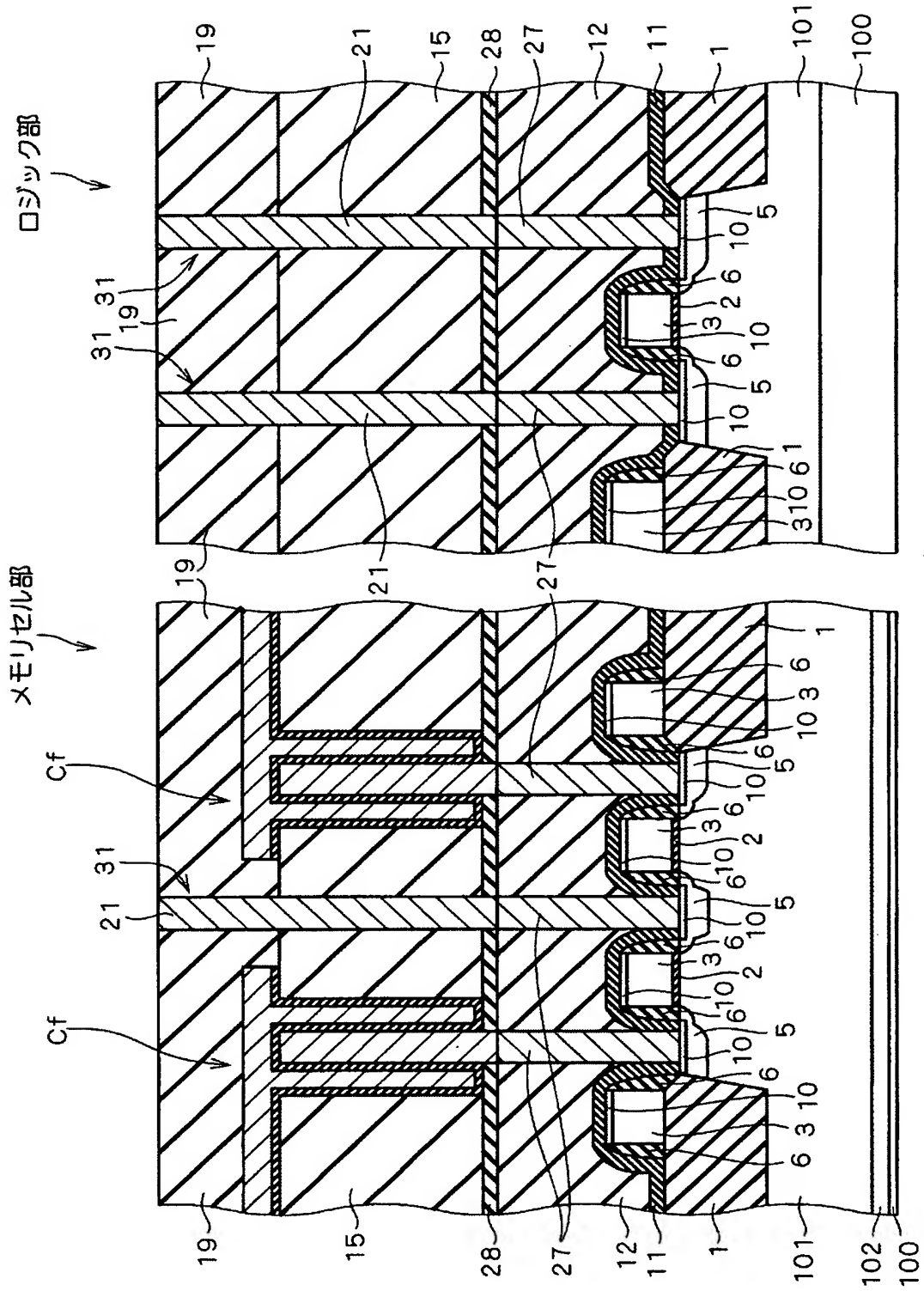
【図 4 5】



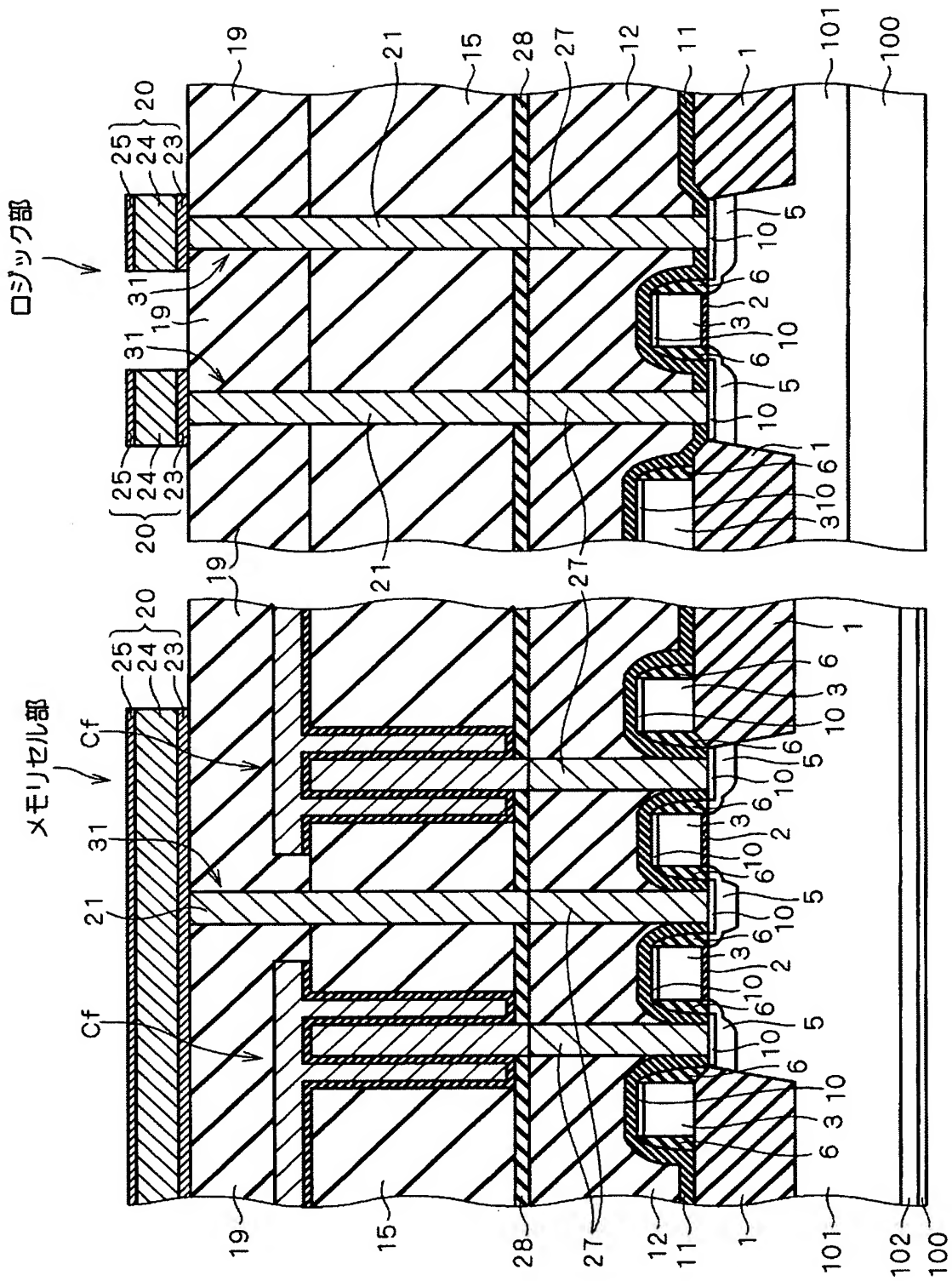
【図 4 6】



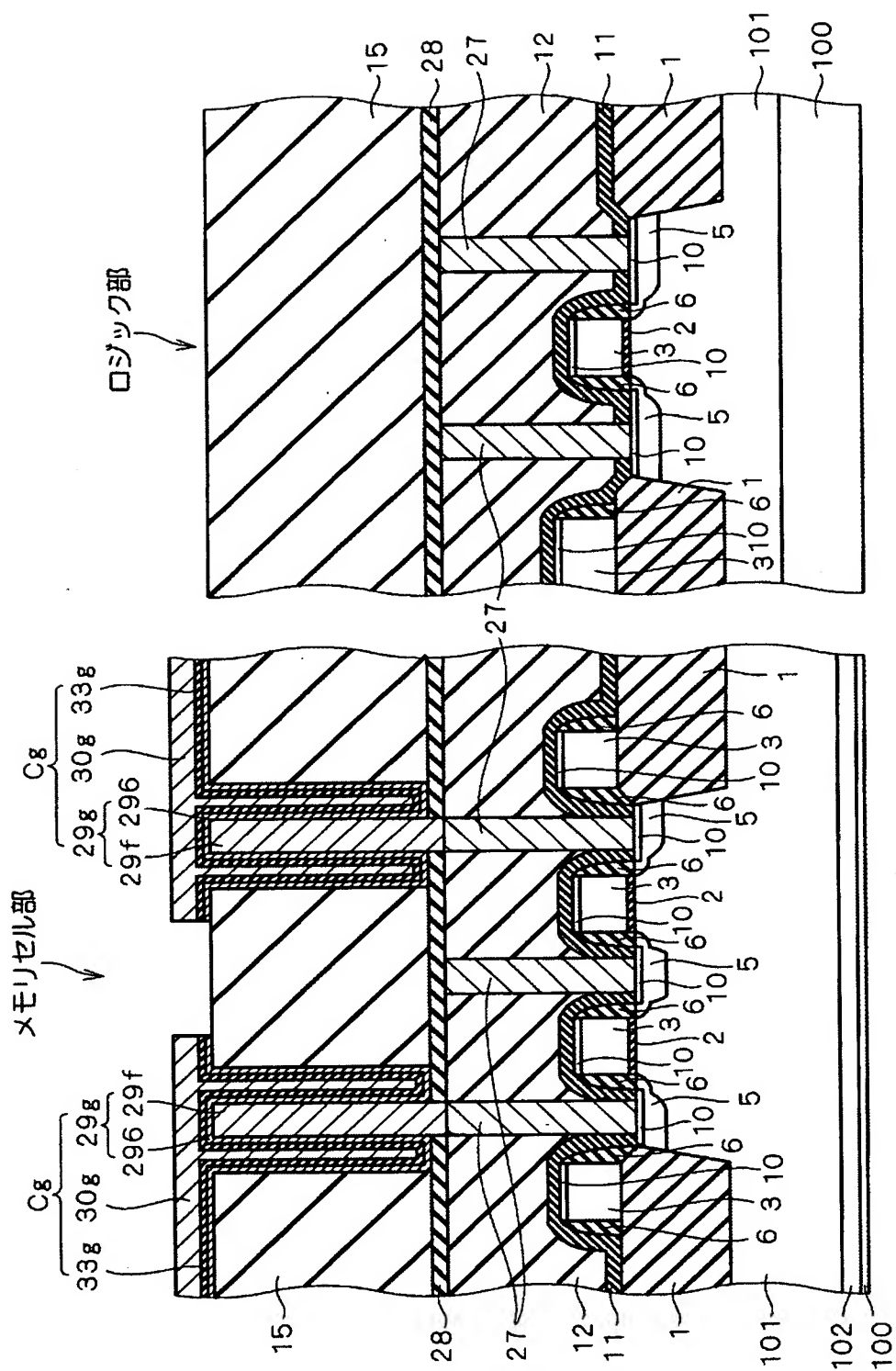
【図47】



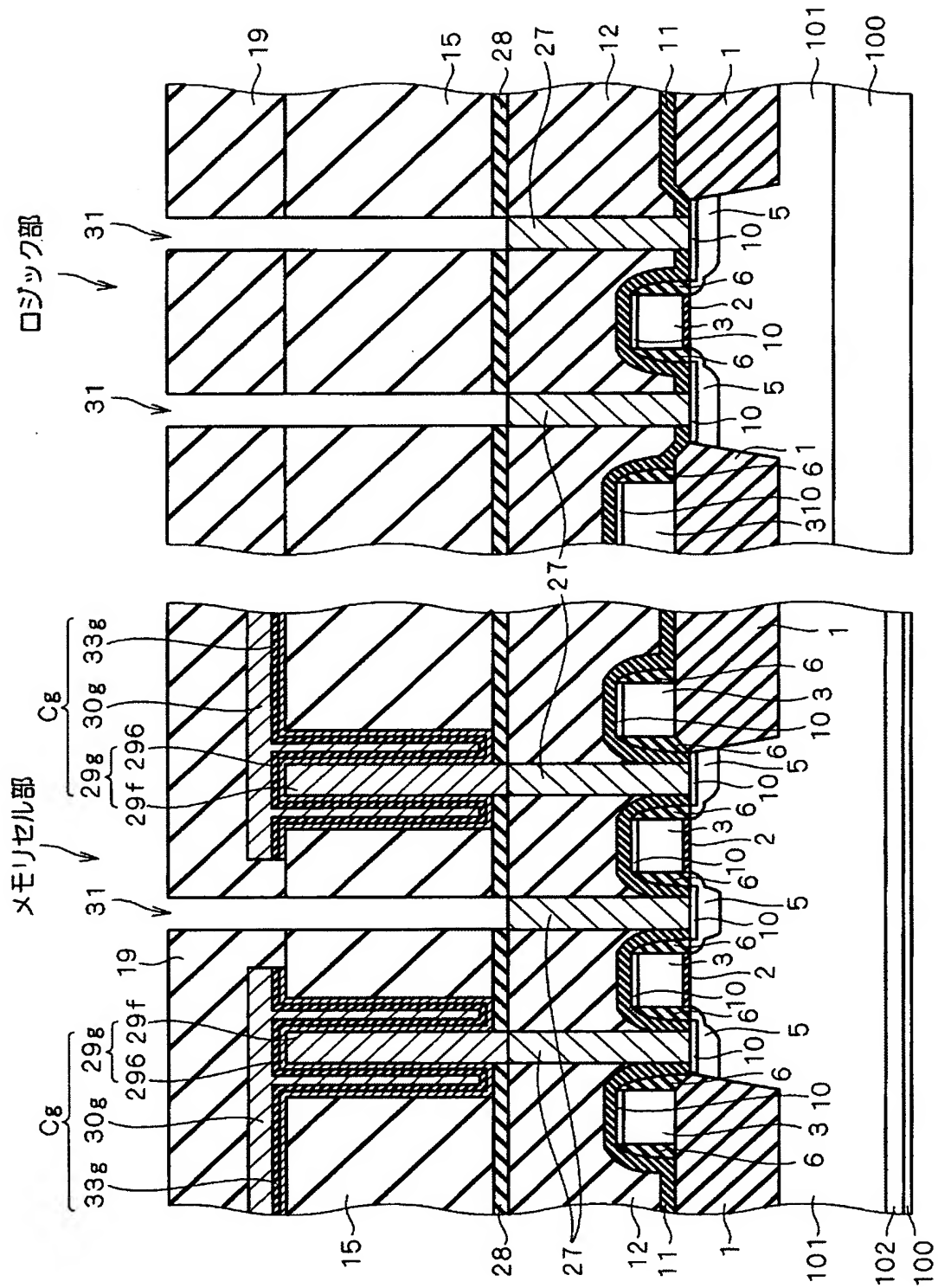
【図48】



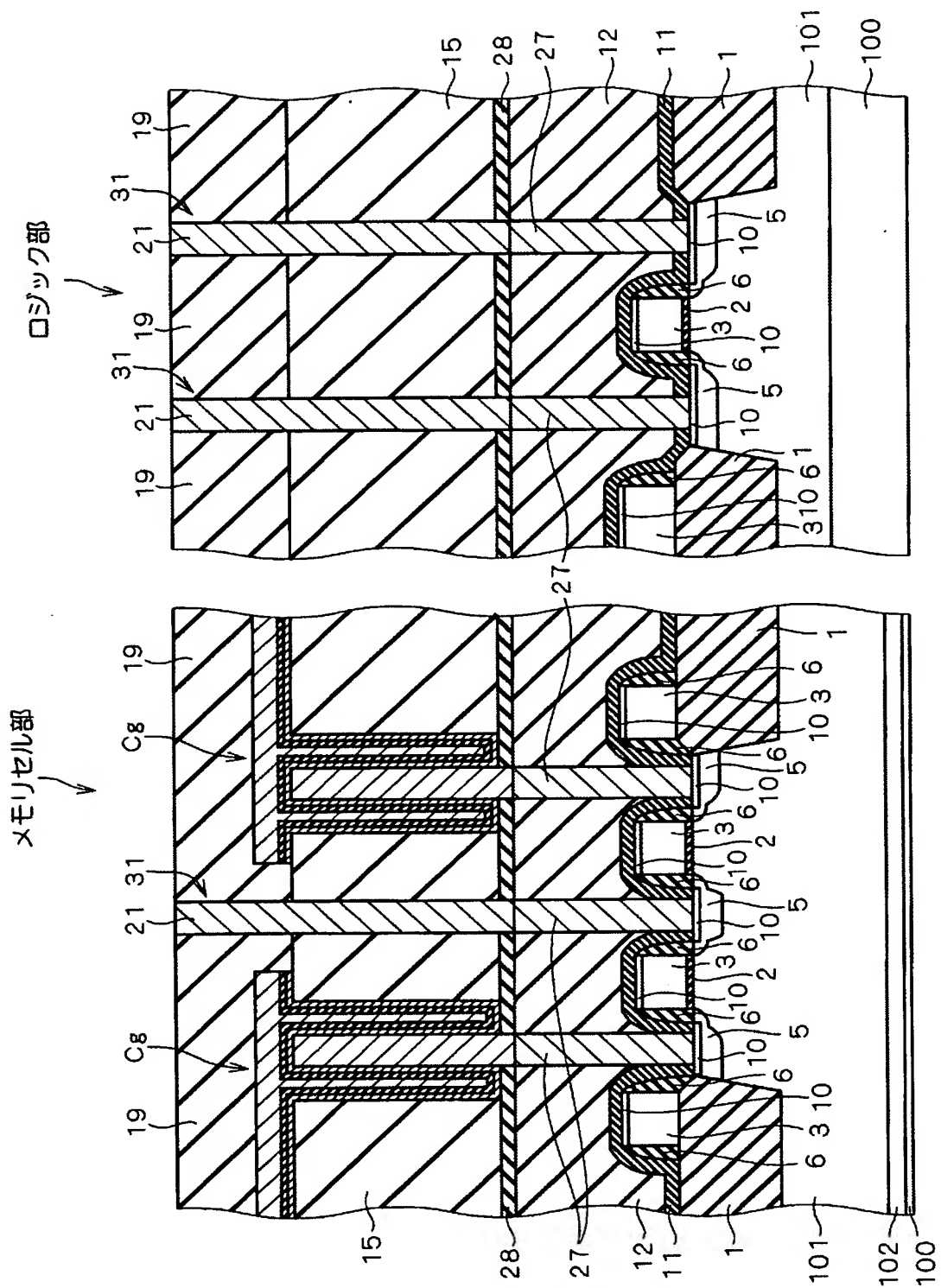
【図 4 9】



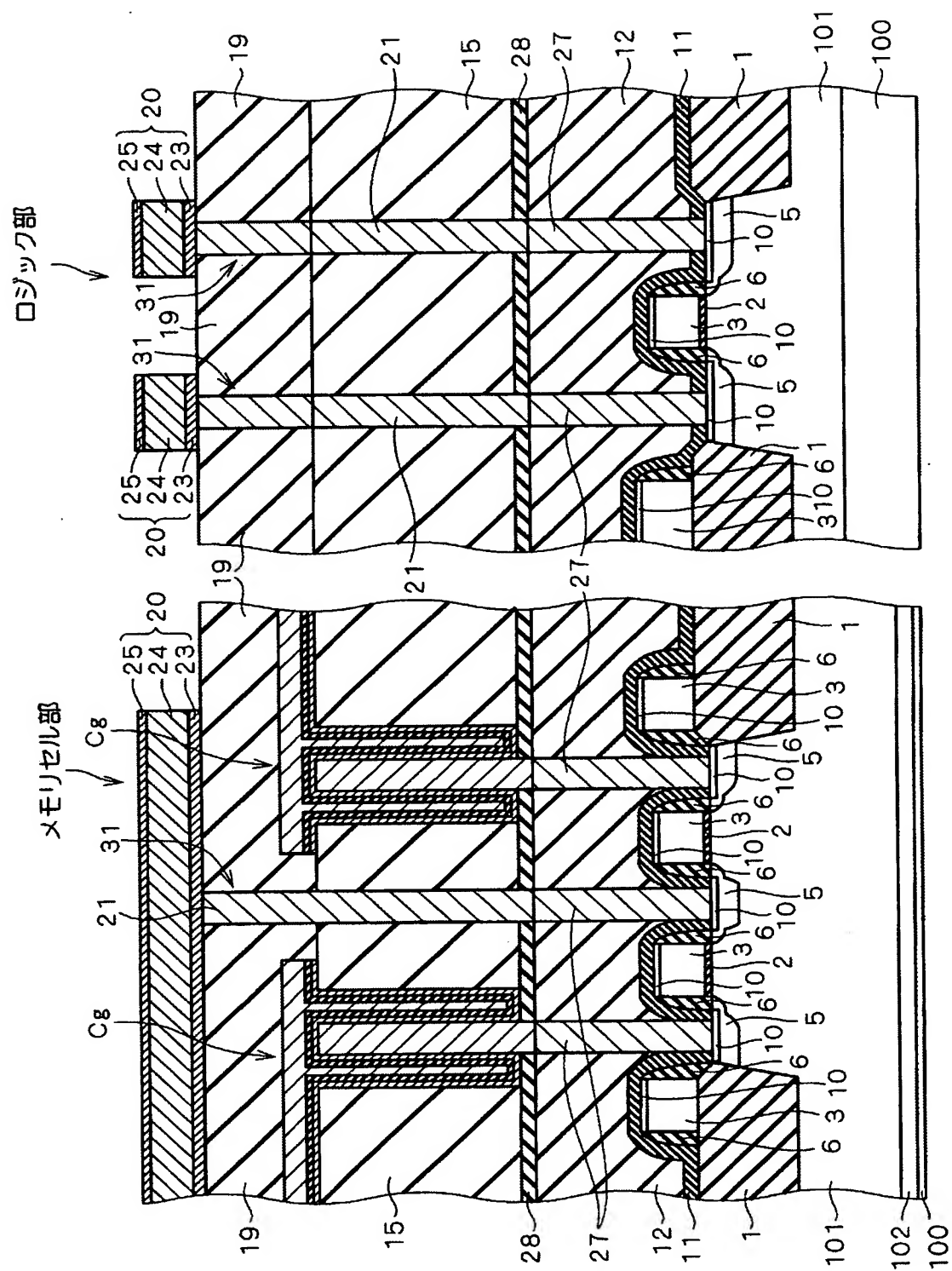
【図 50】



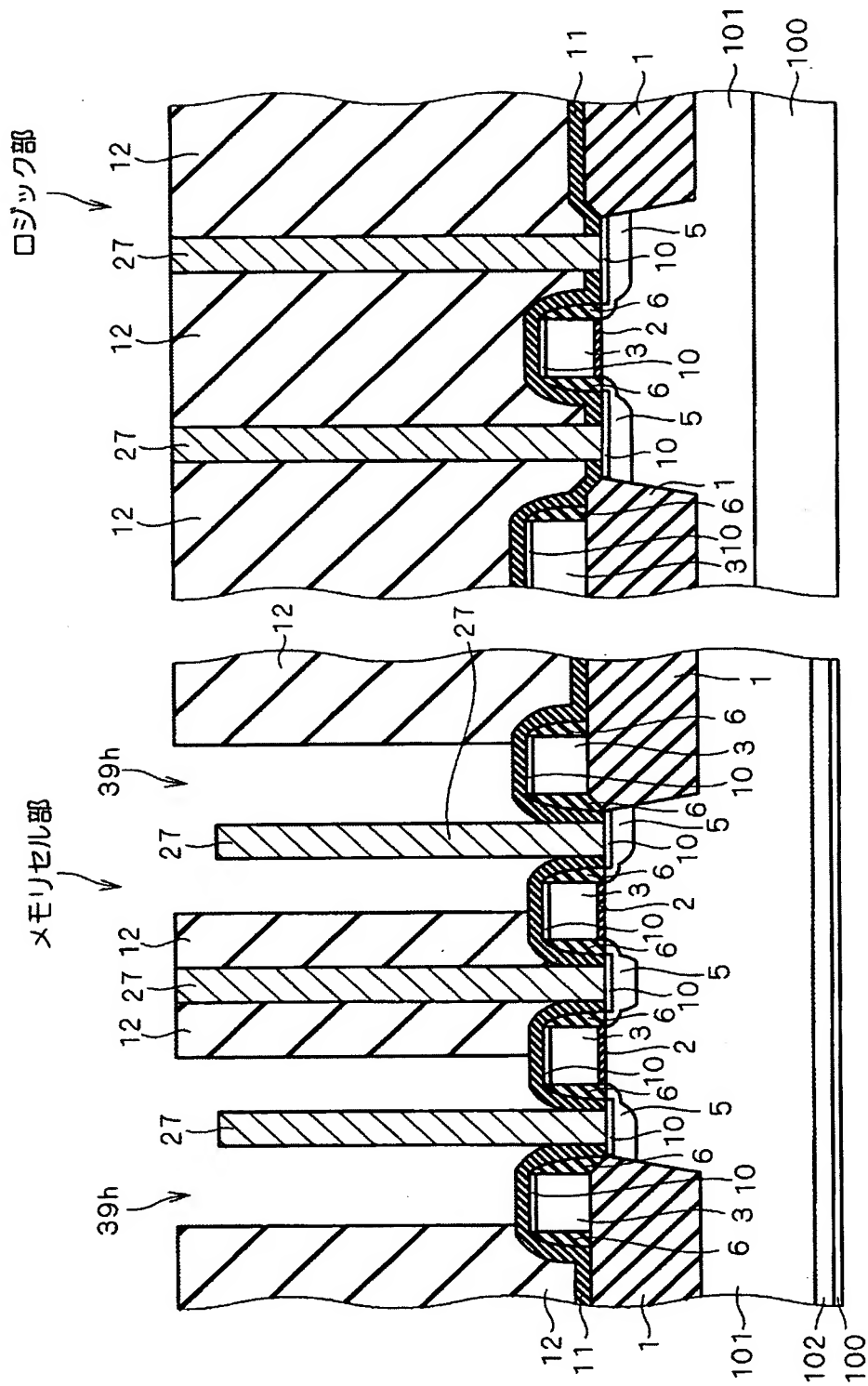
【図 51】



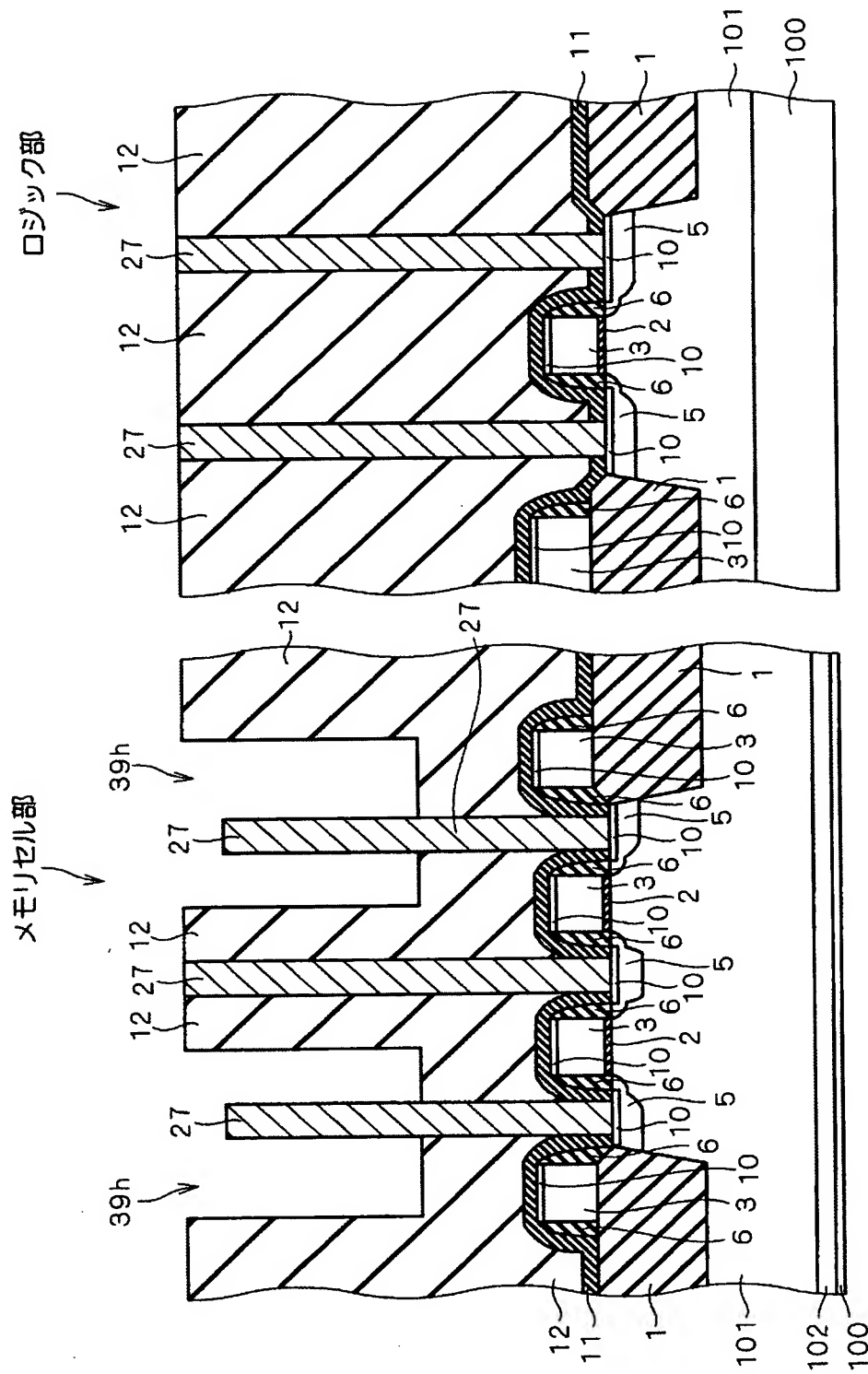
【图 5 2】



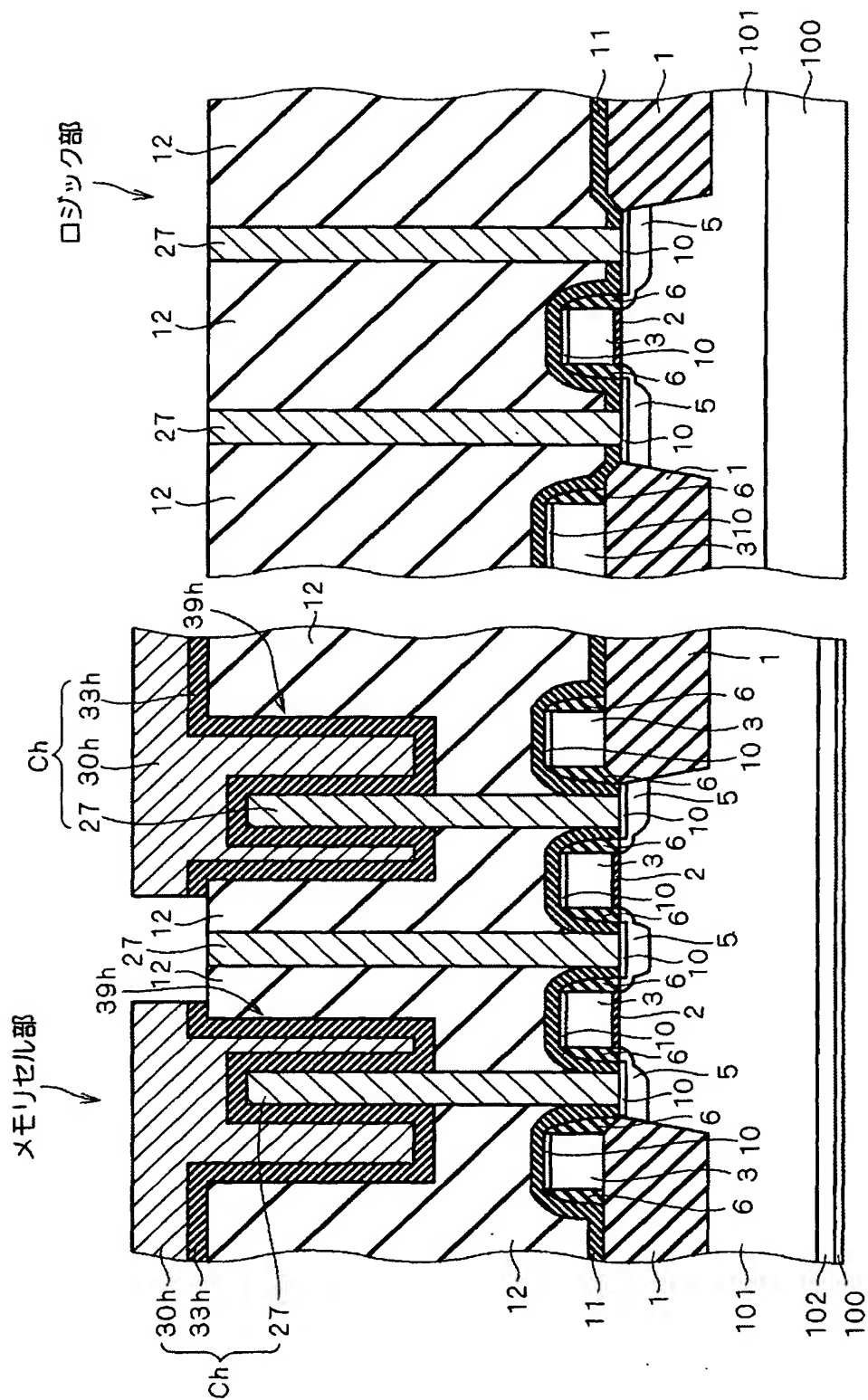
【図 5 3】



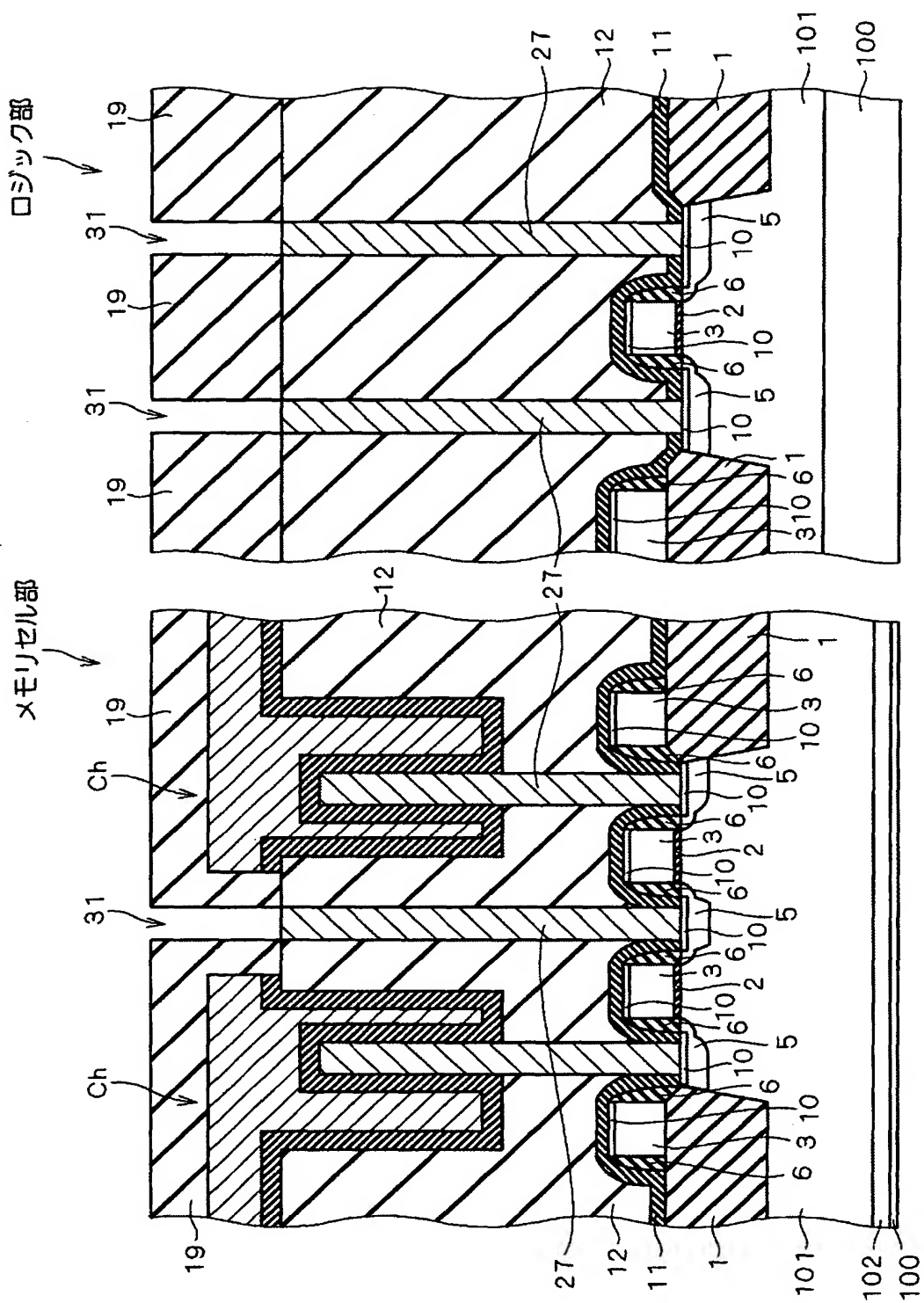
【図54】



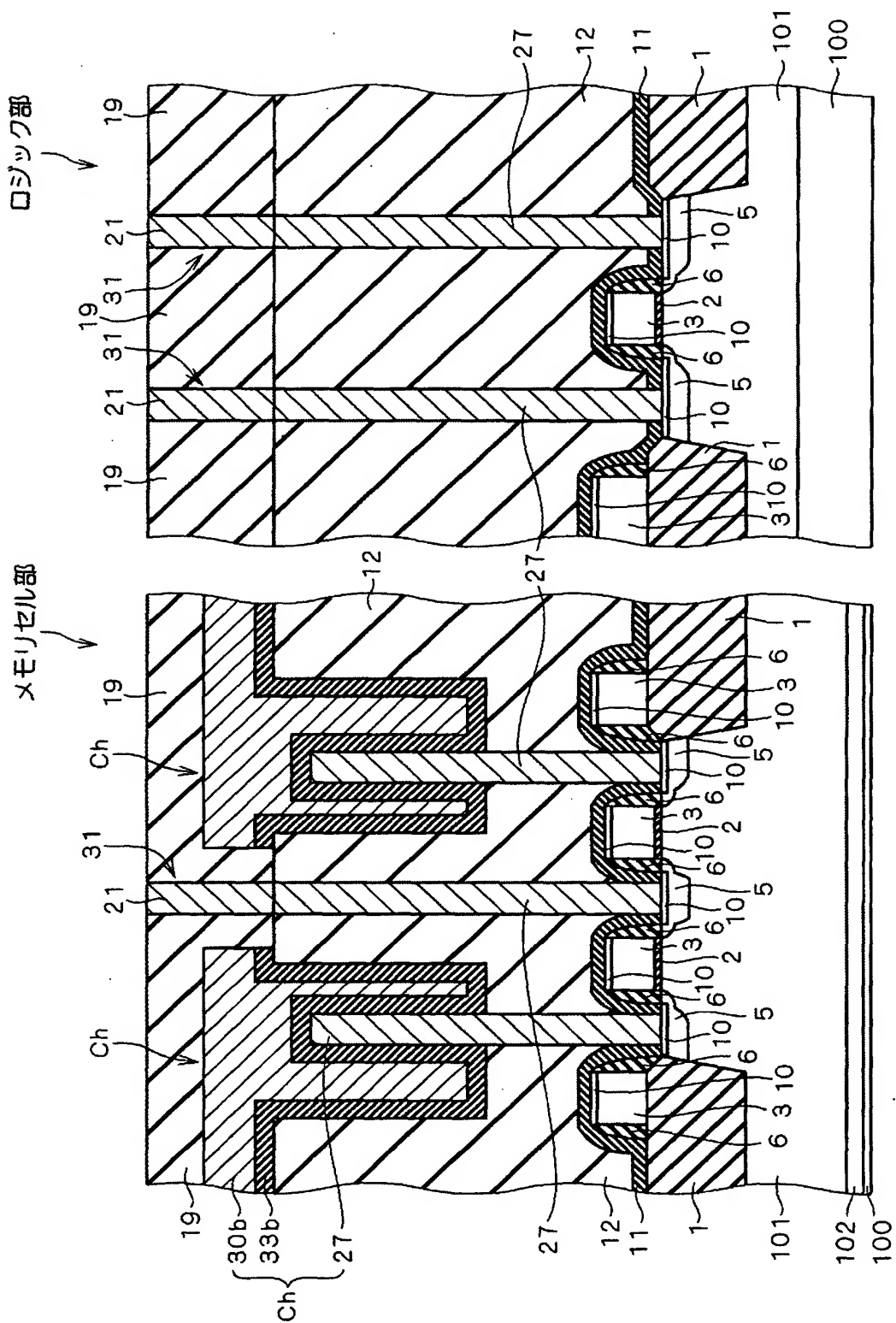
【図55】



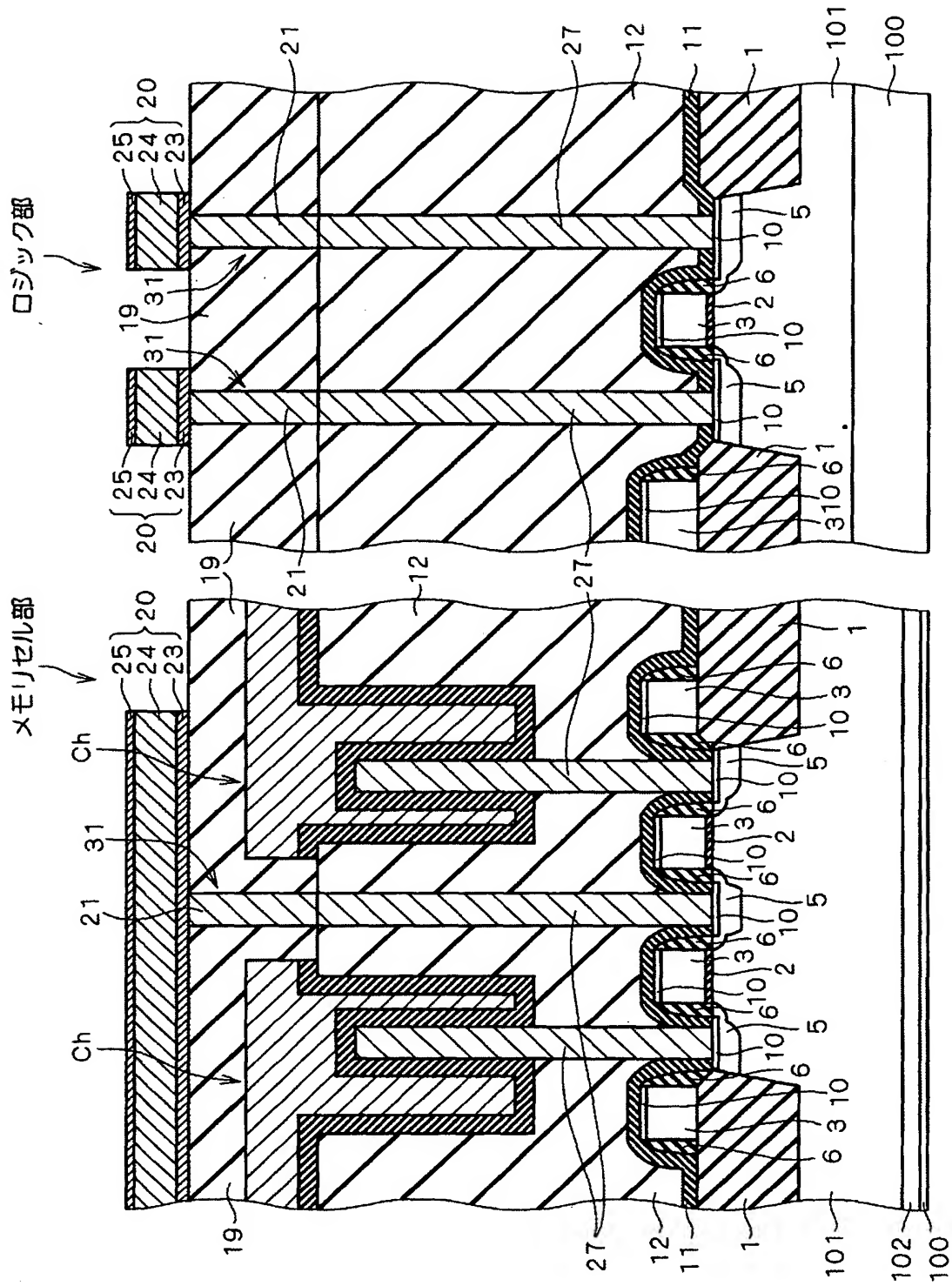
【図56】



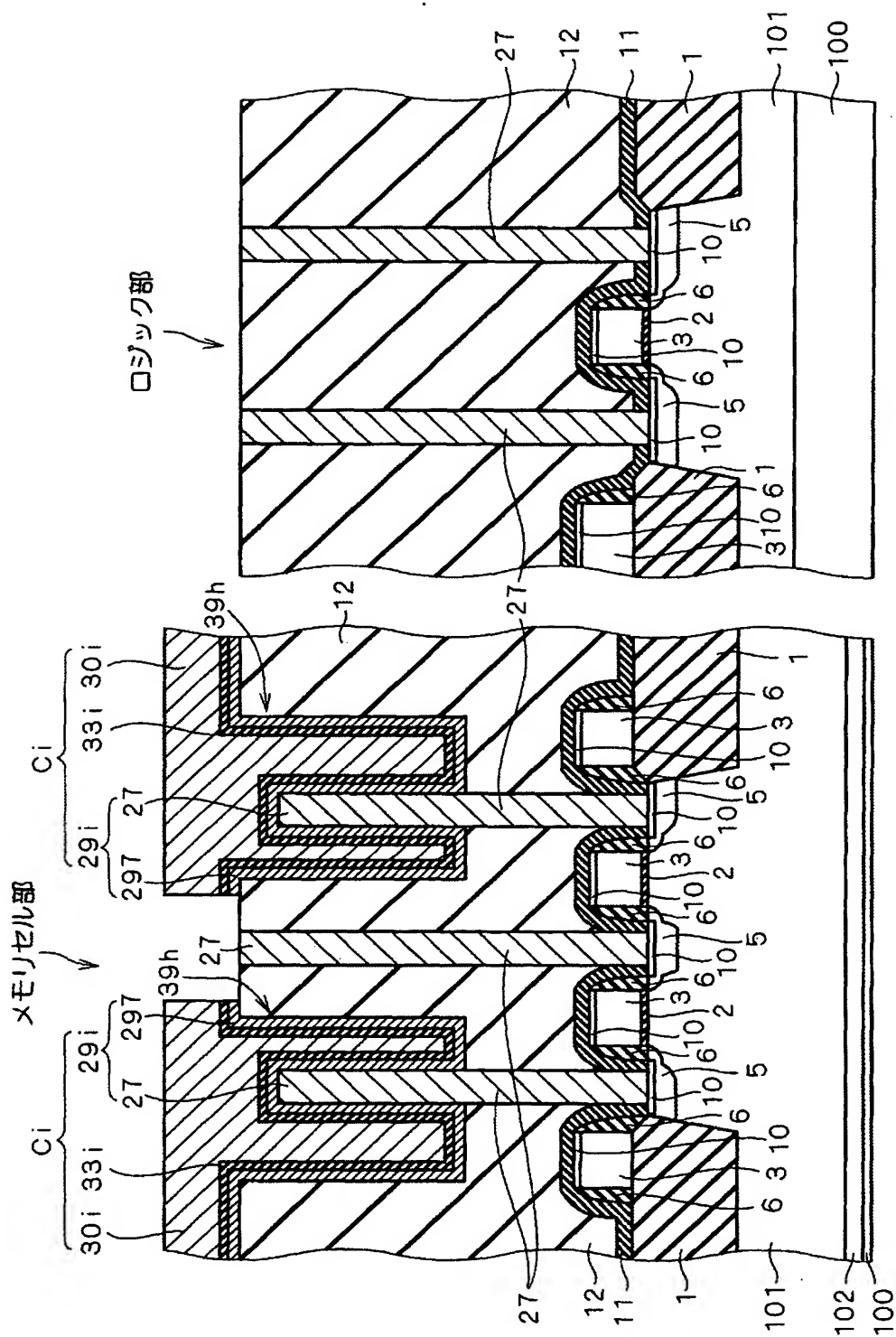
【図57】



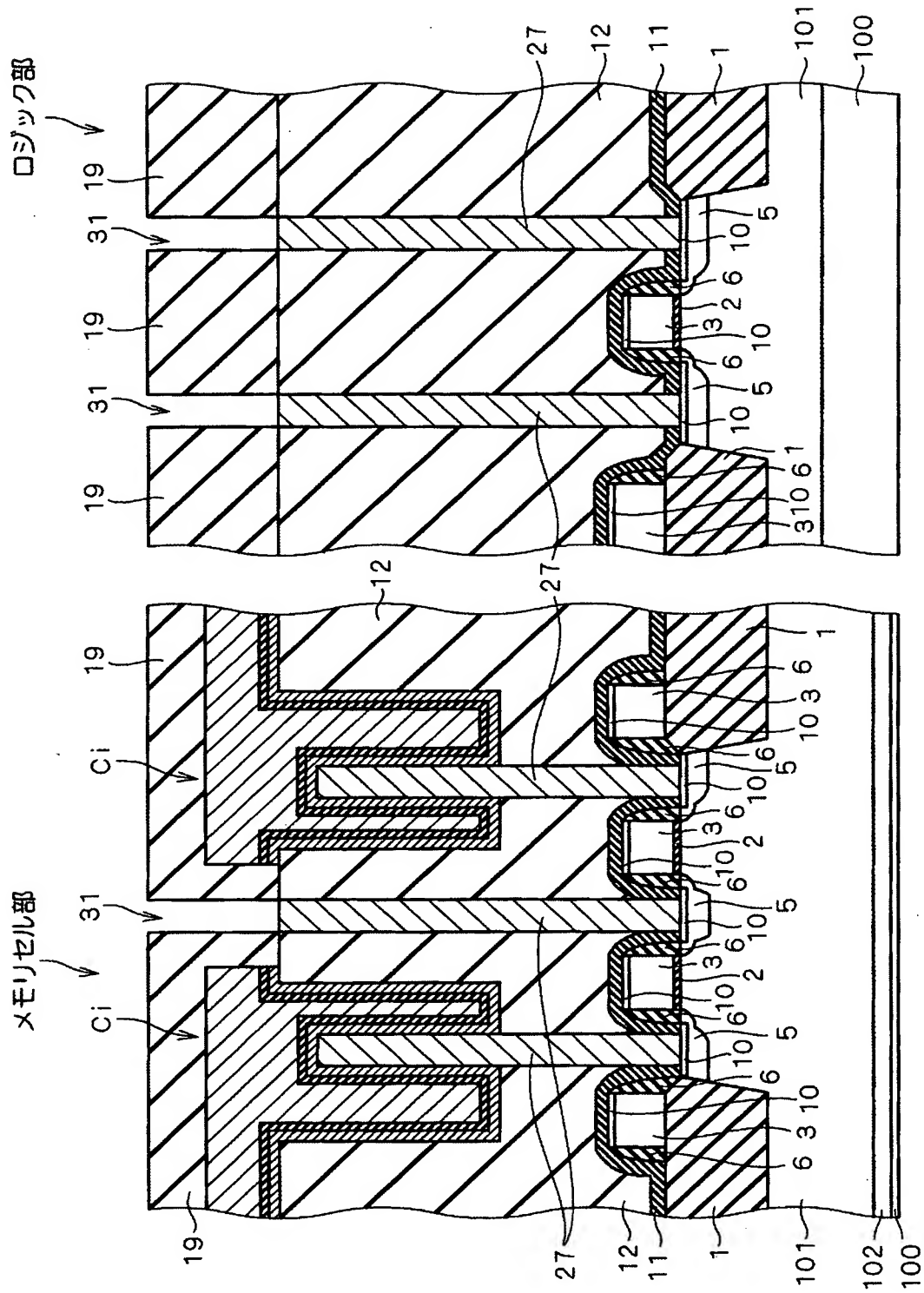
【図58】



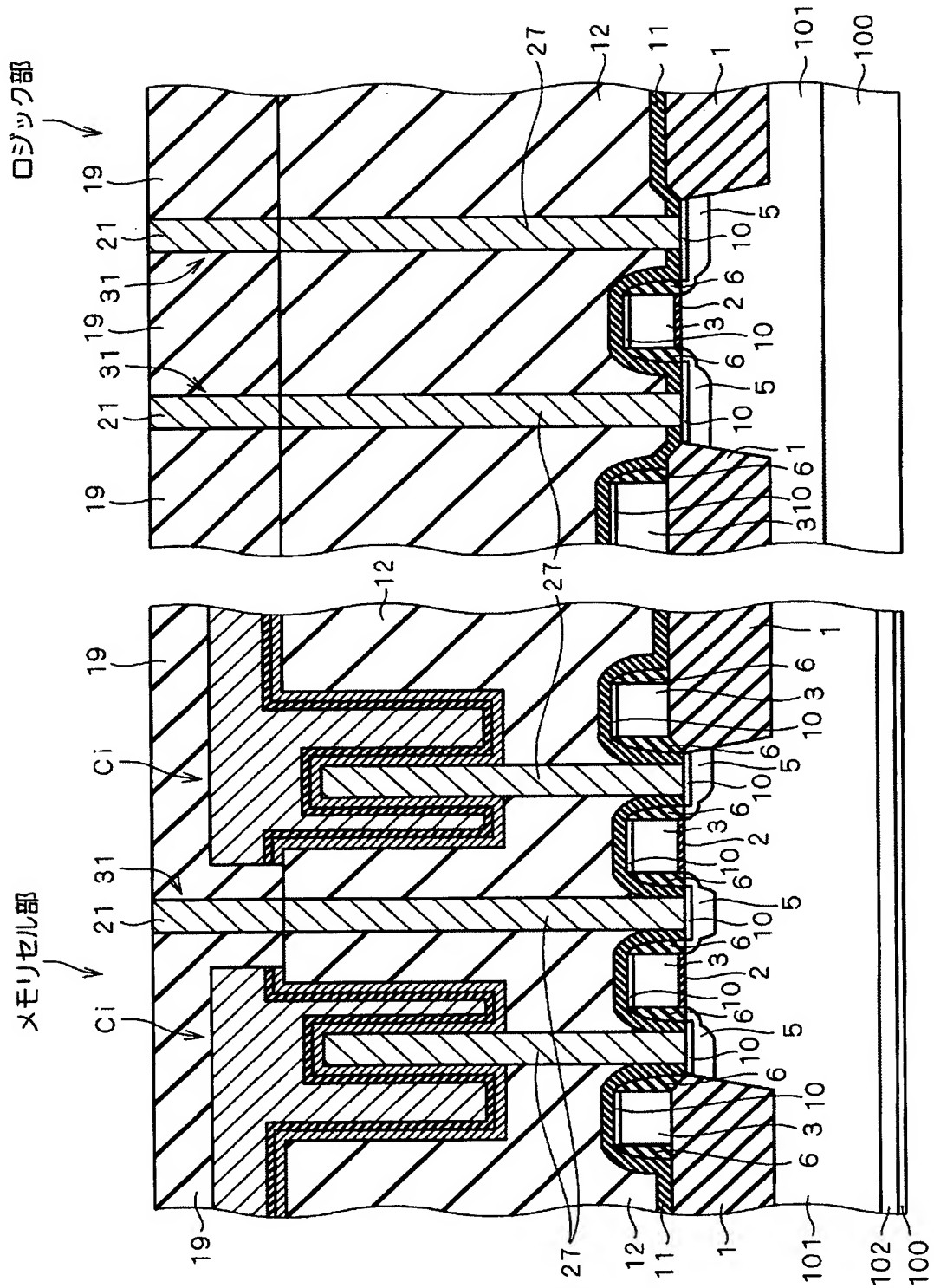
【図59】



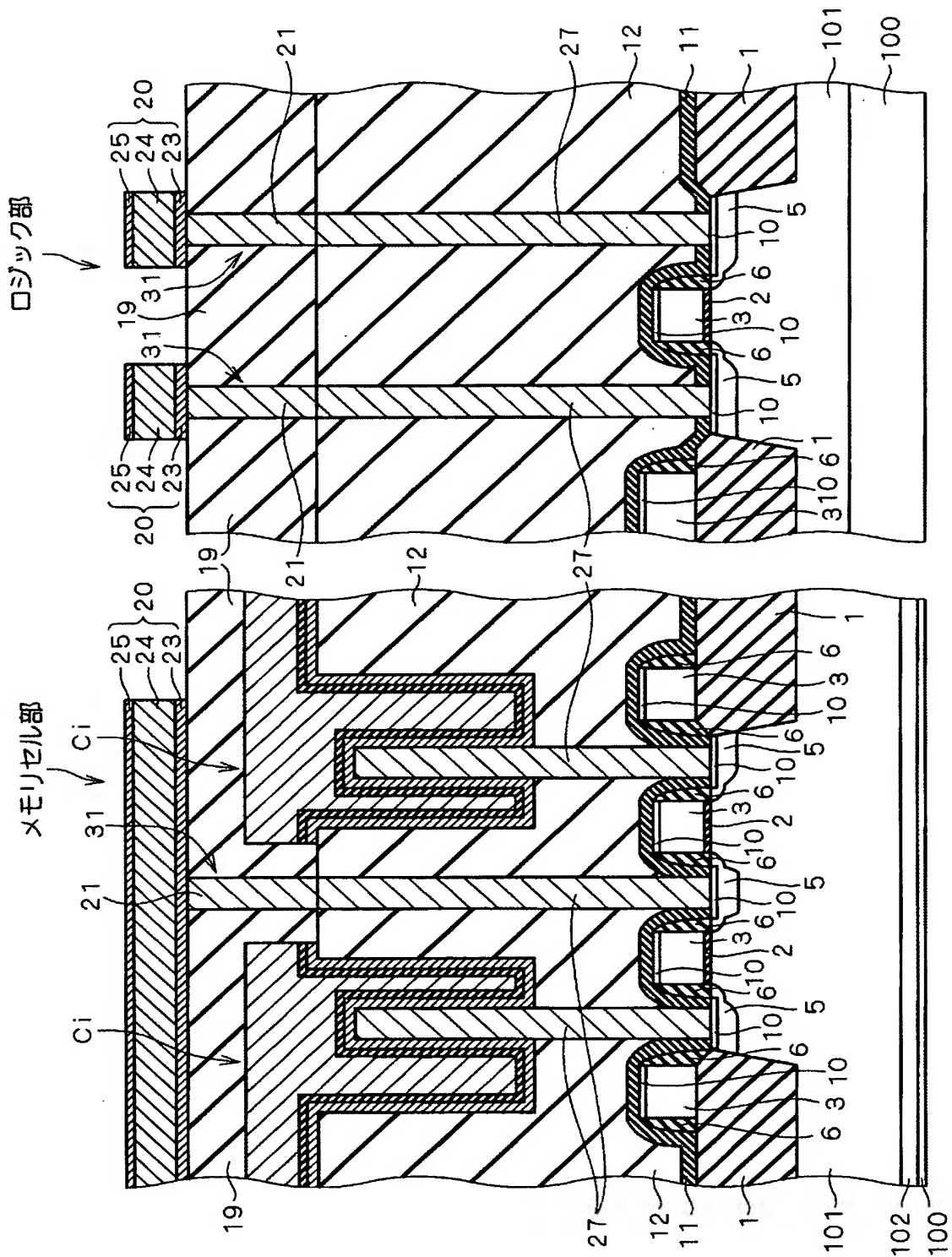
【図60】



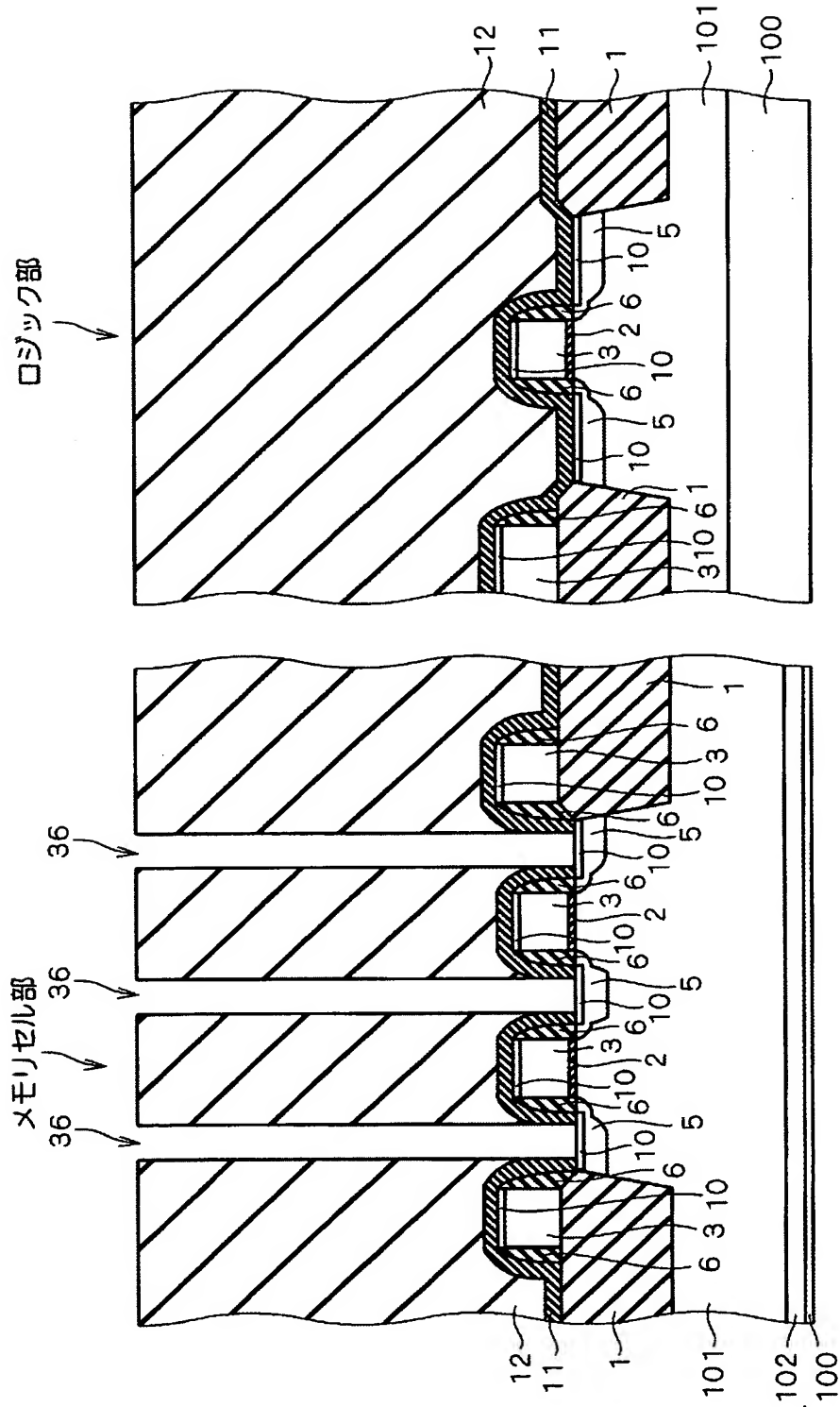
【図 61】



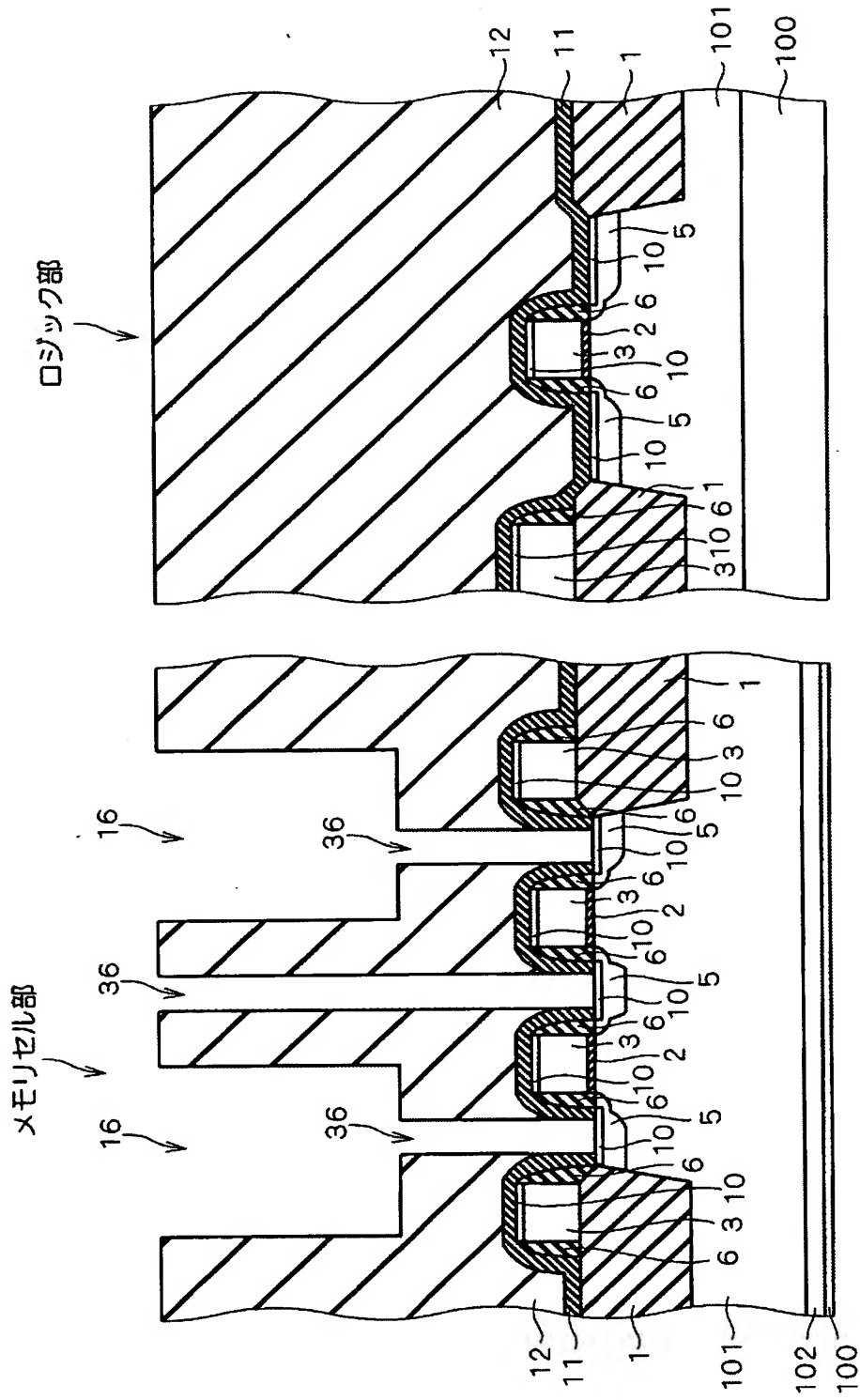
【図 62】



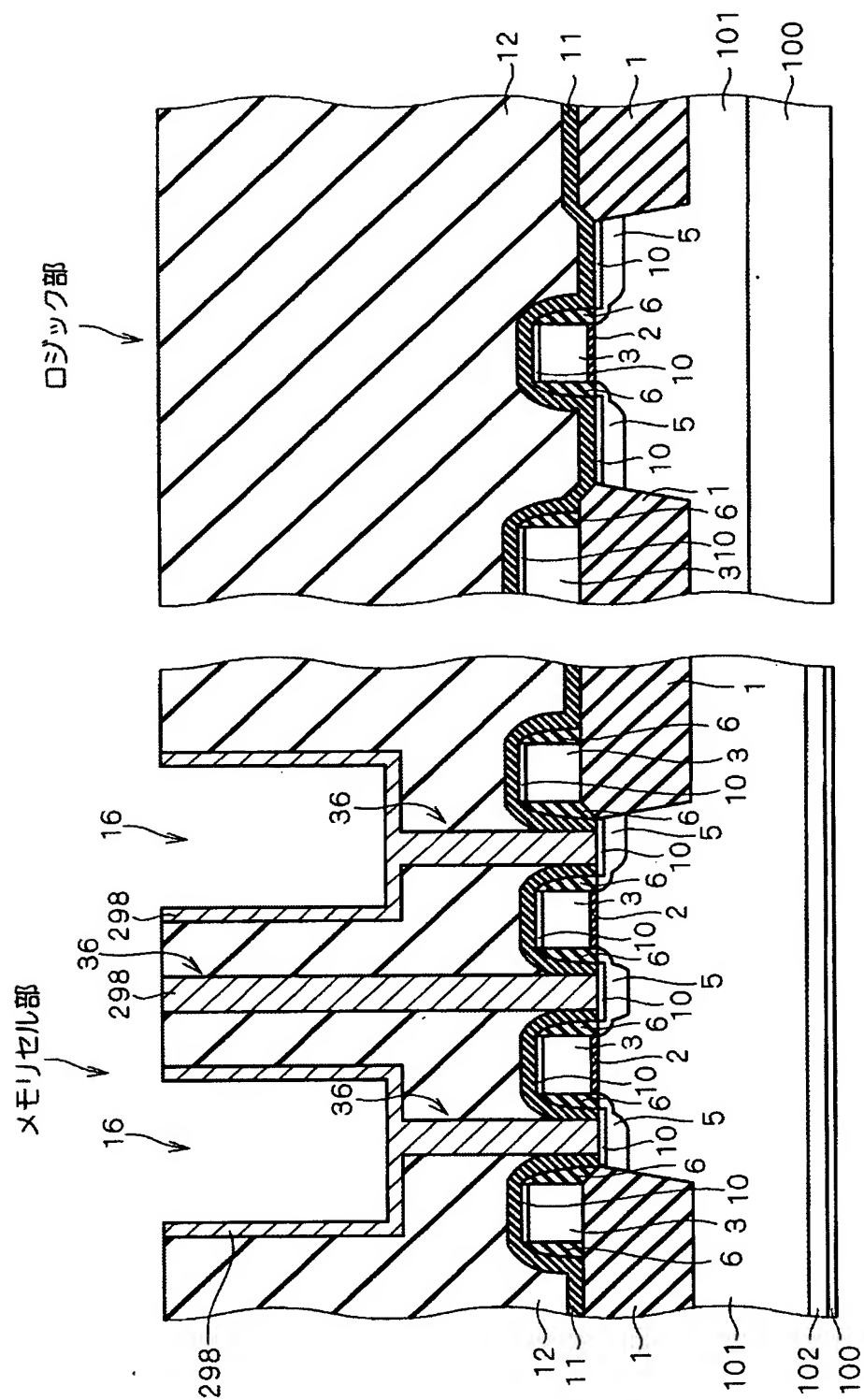
【図 63】



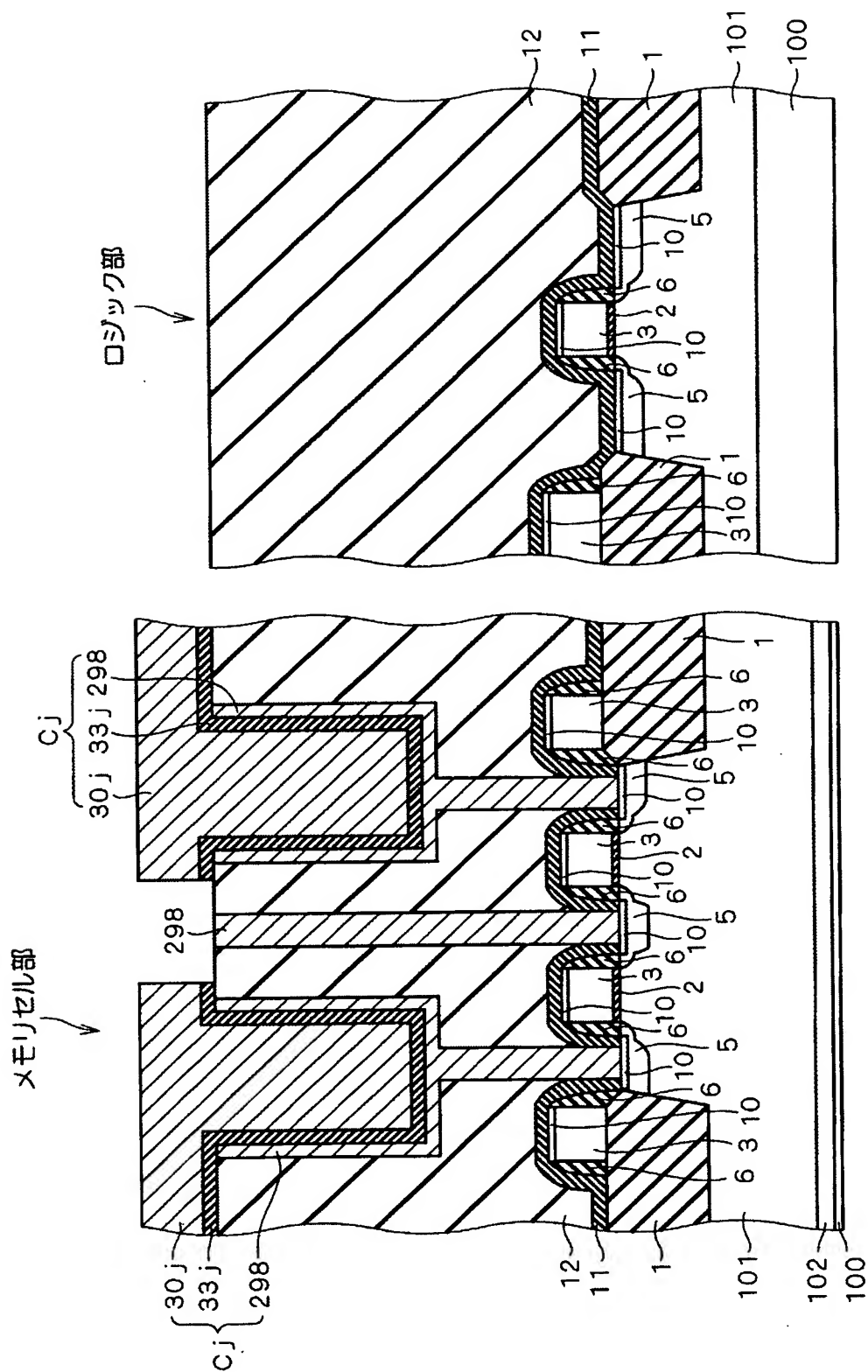
【図 64】



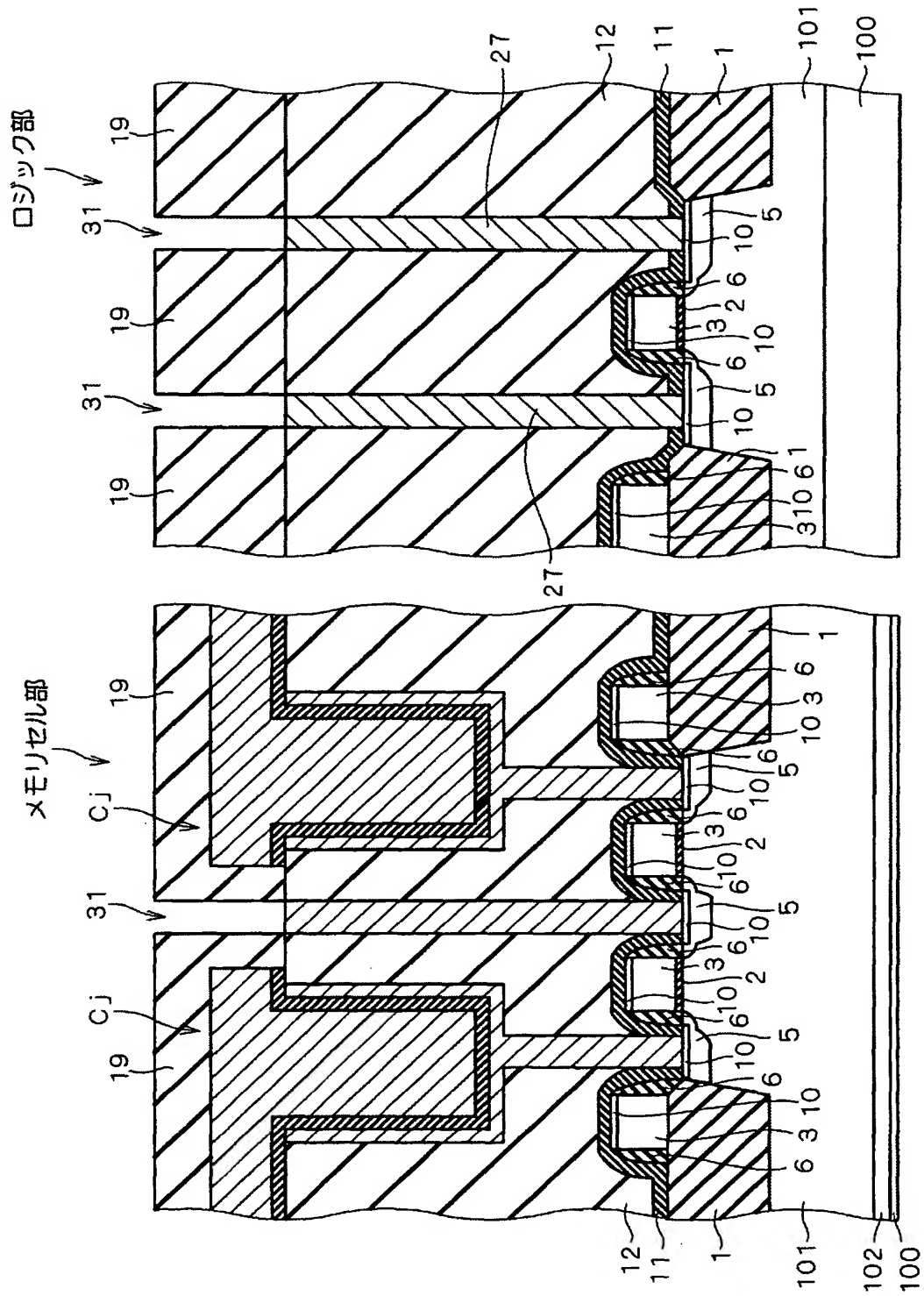
【図 6 5】



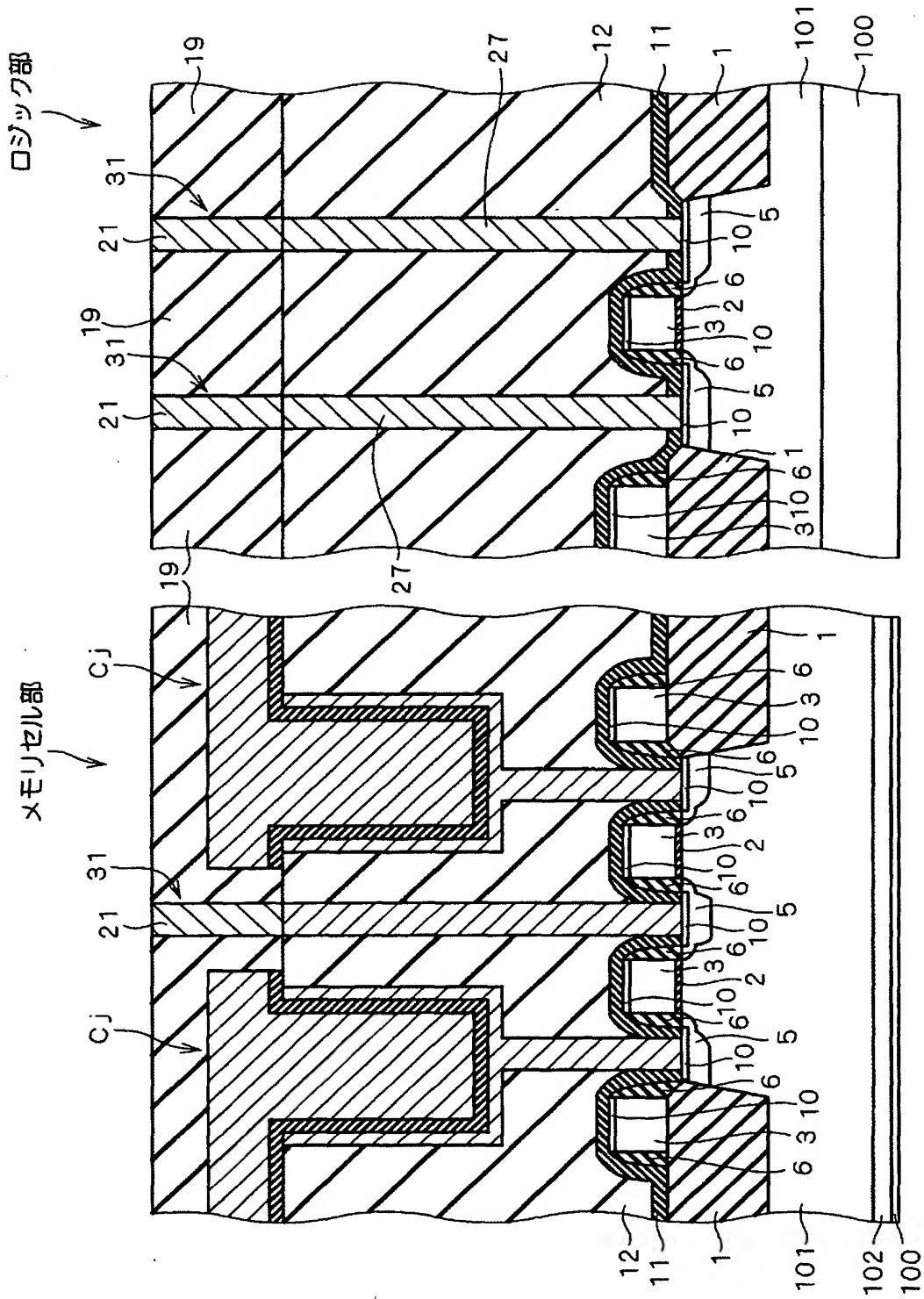
【図 66】



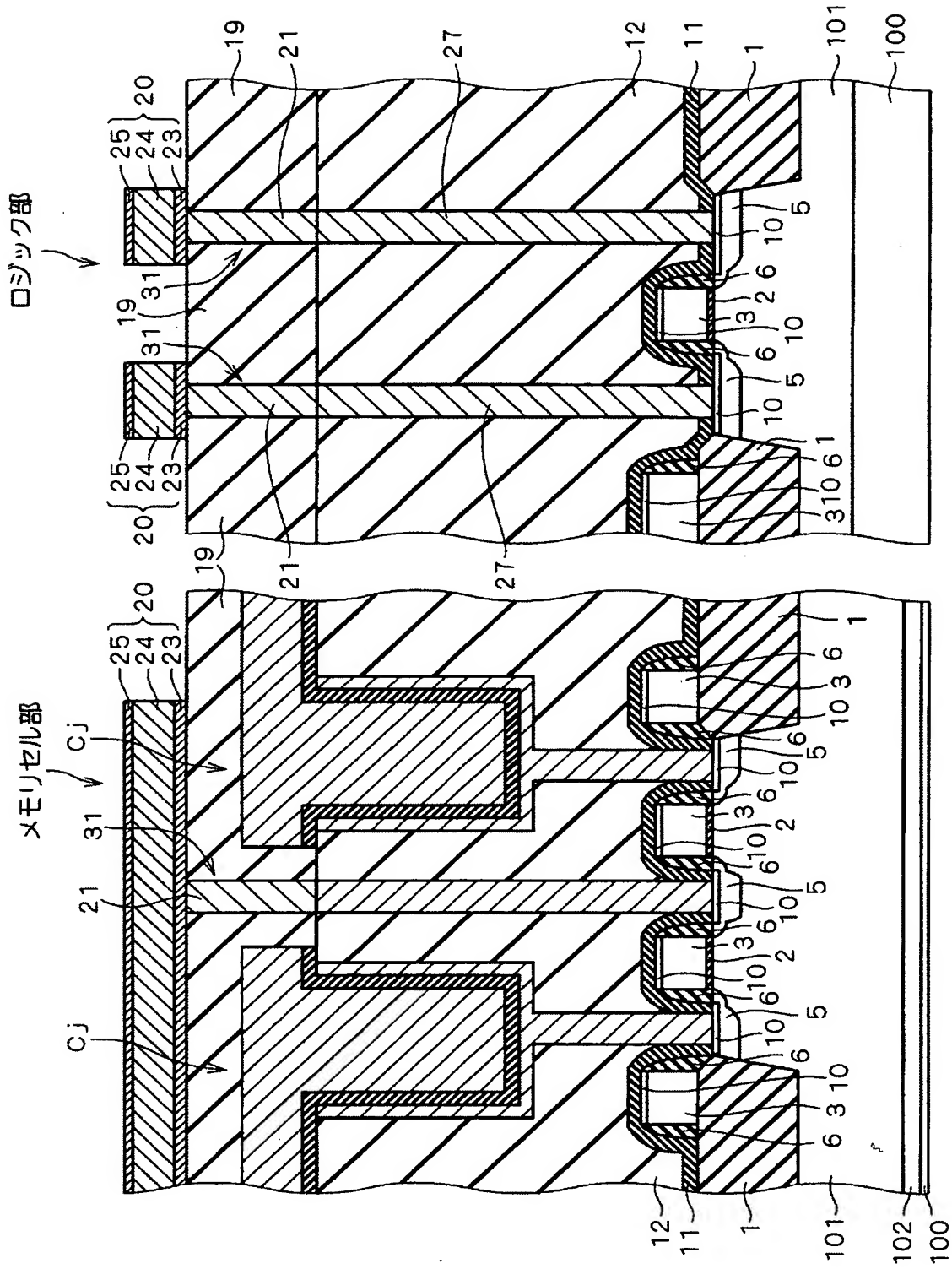
【図67】



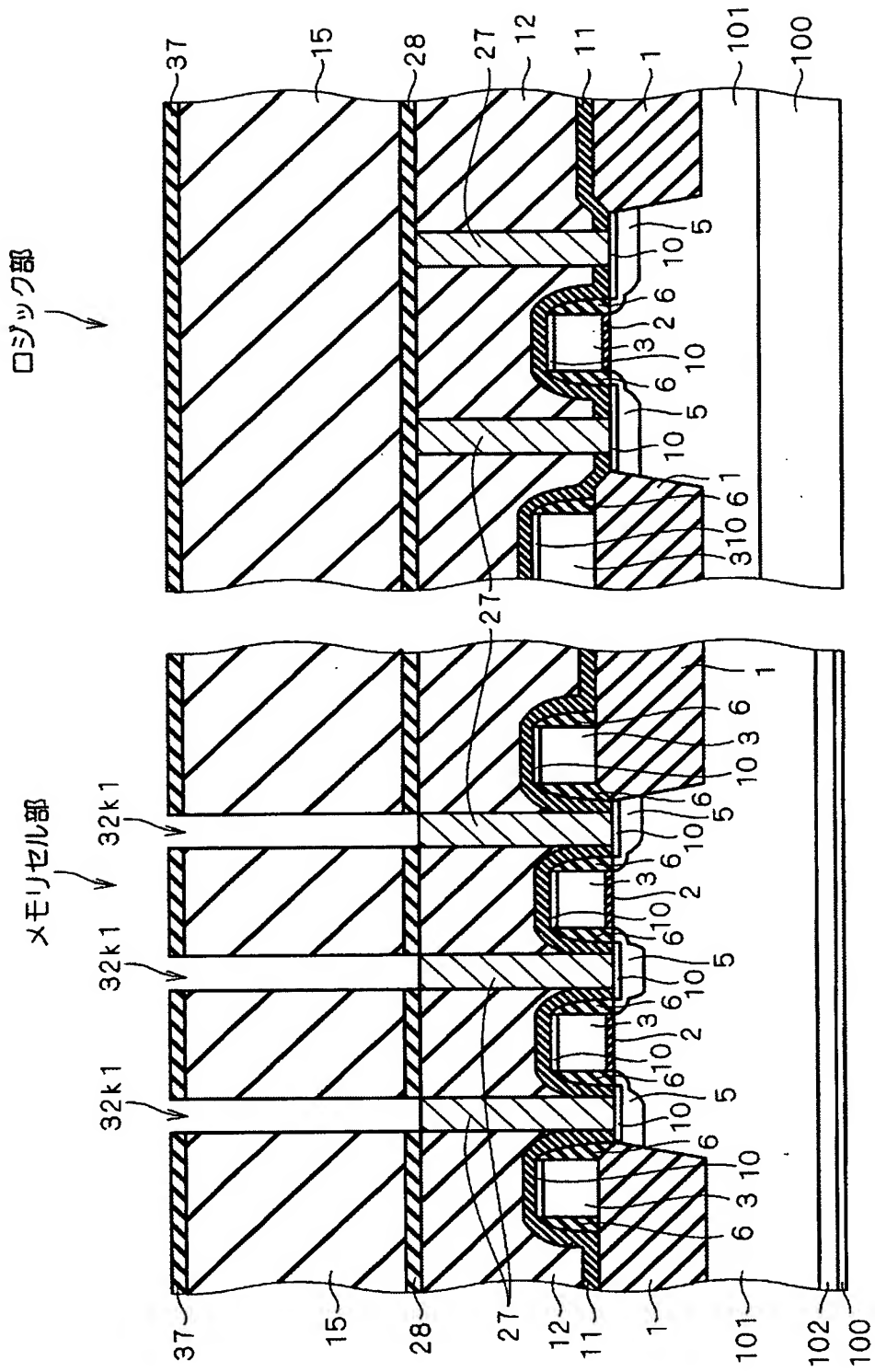
【図68】



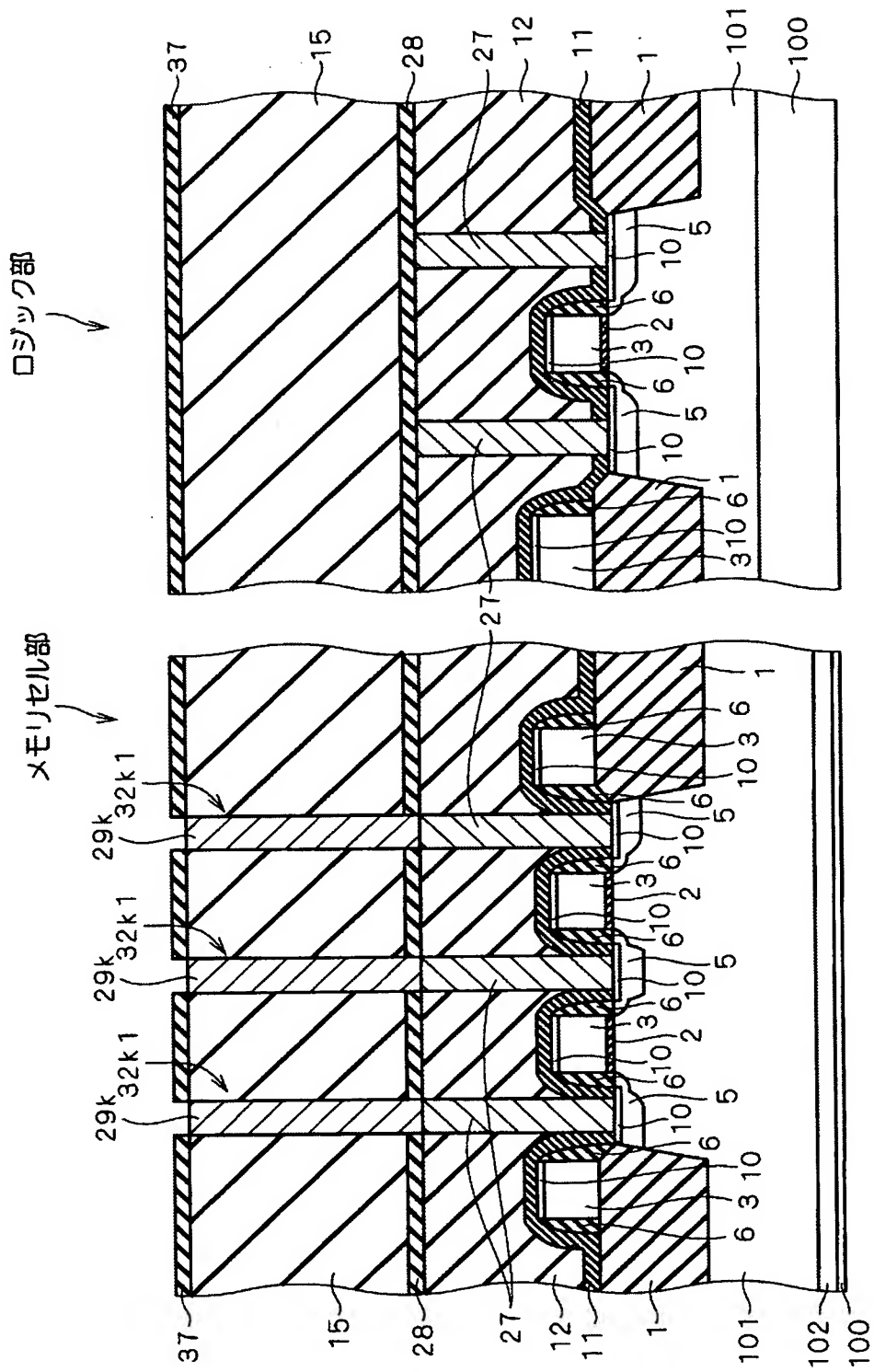
【図69】



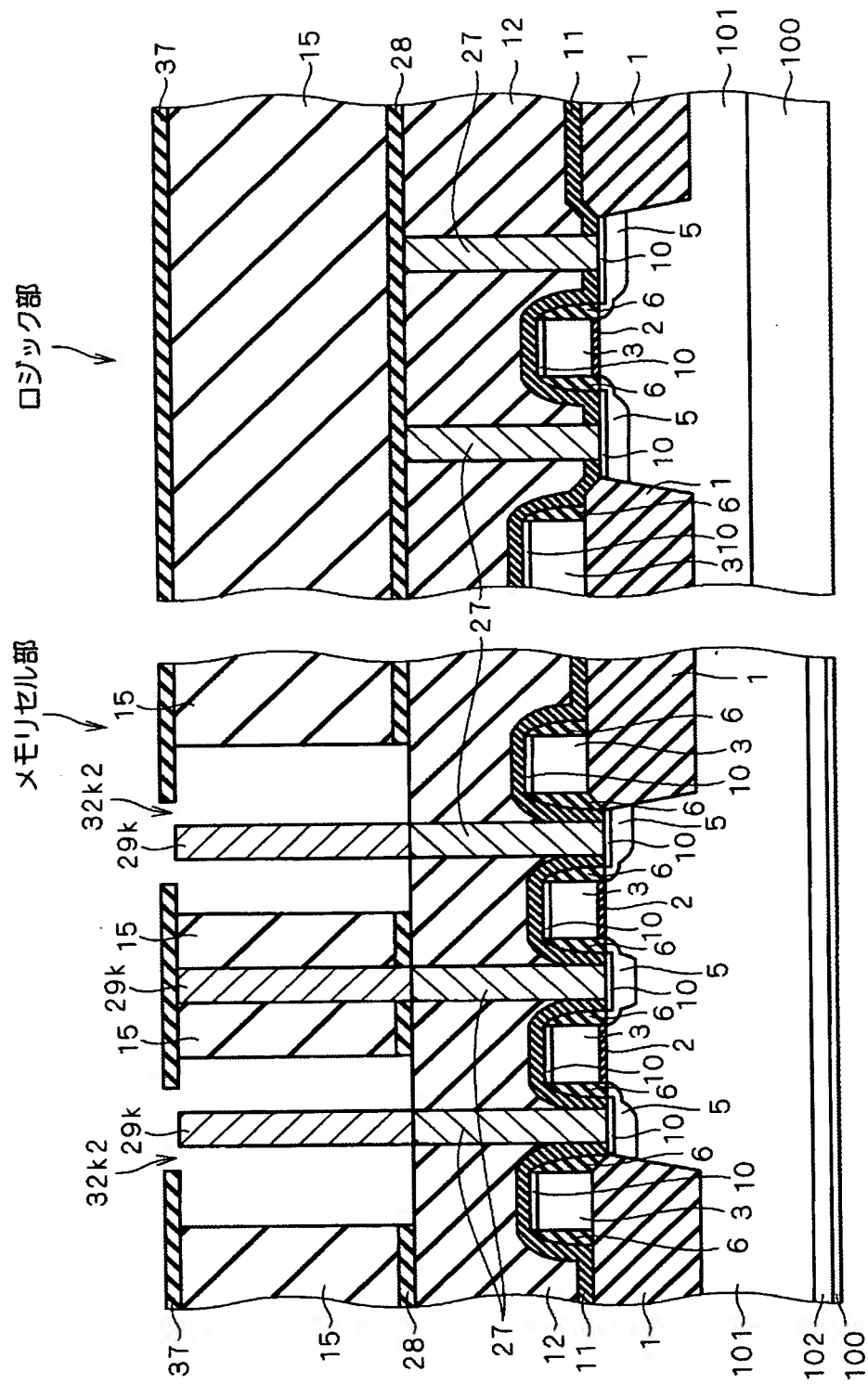
【図 70】



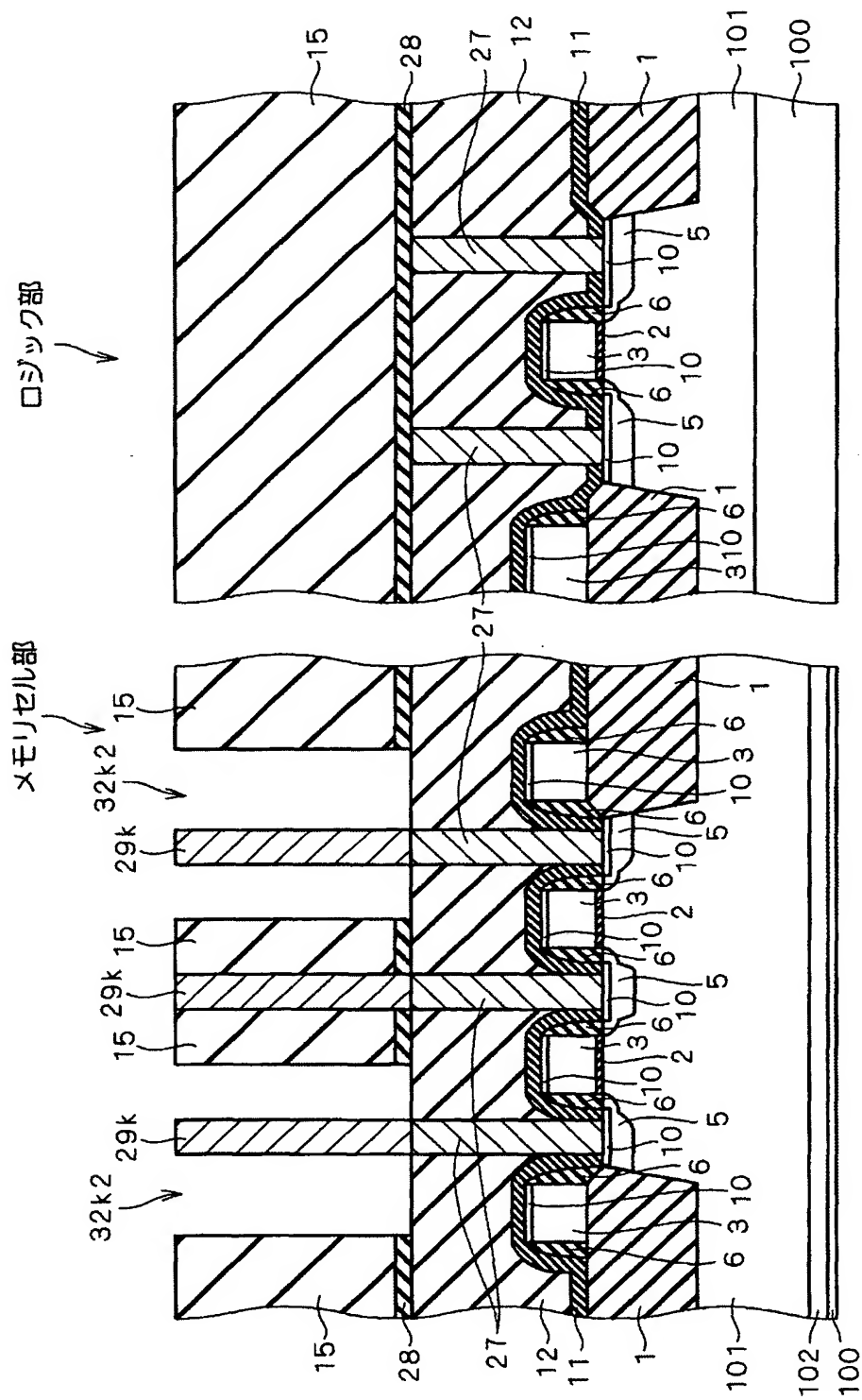
【図 71】



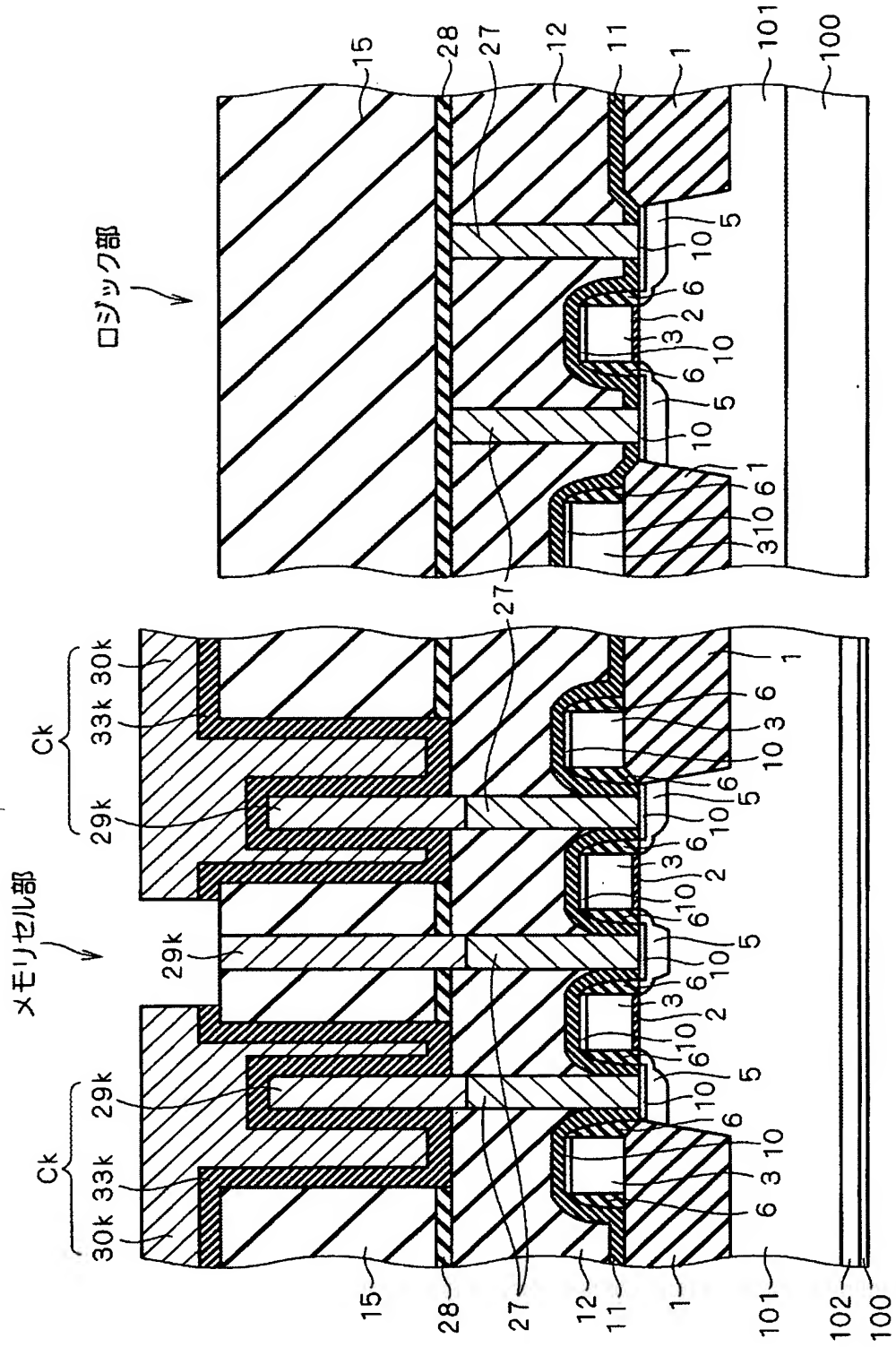
【図 7 2】



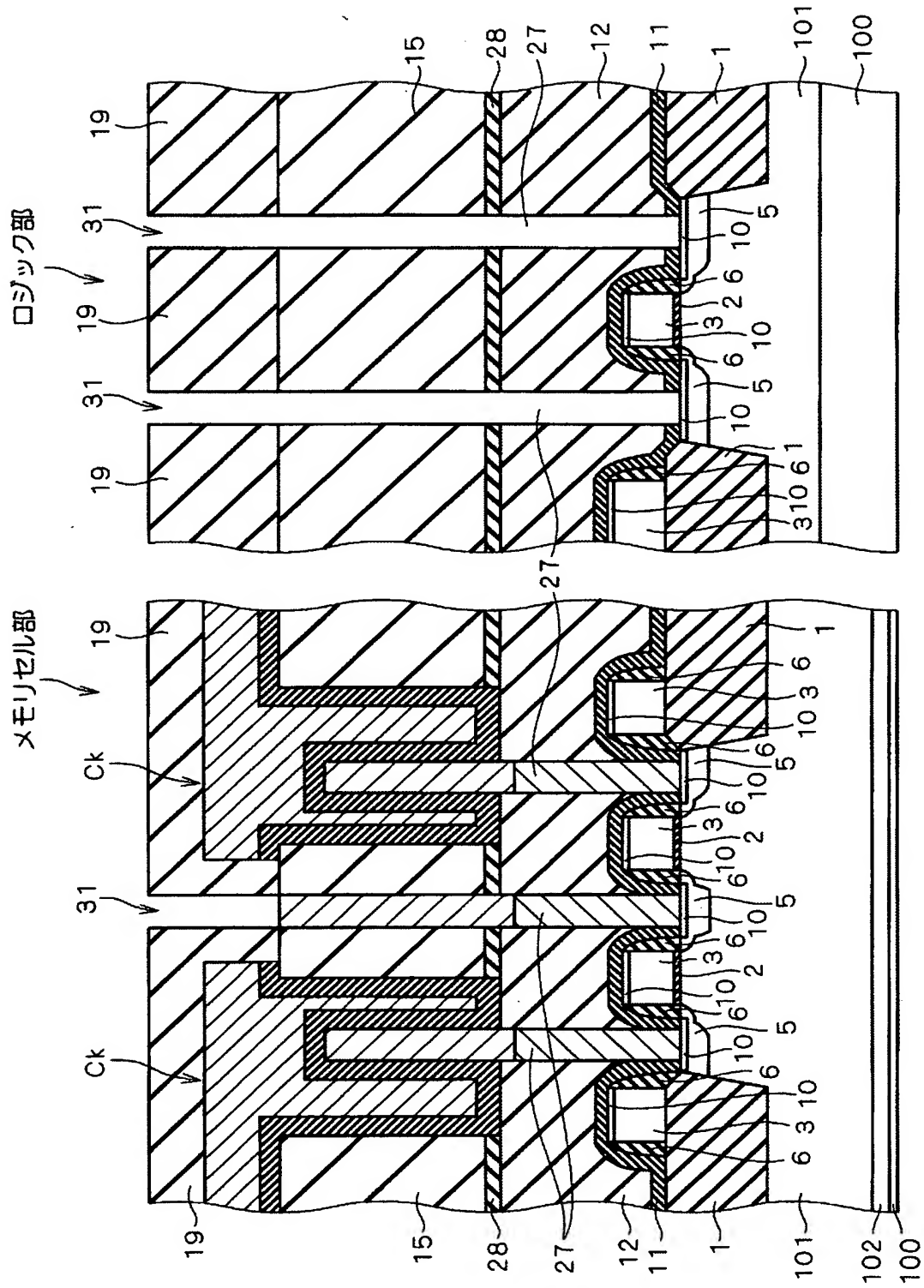
【図 73】



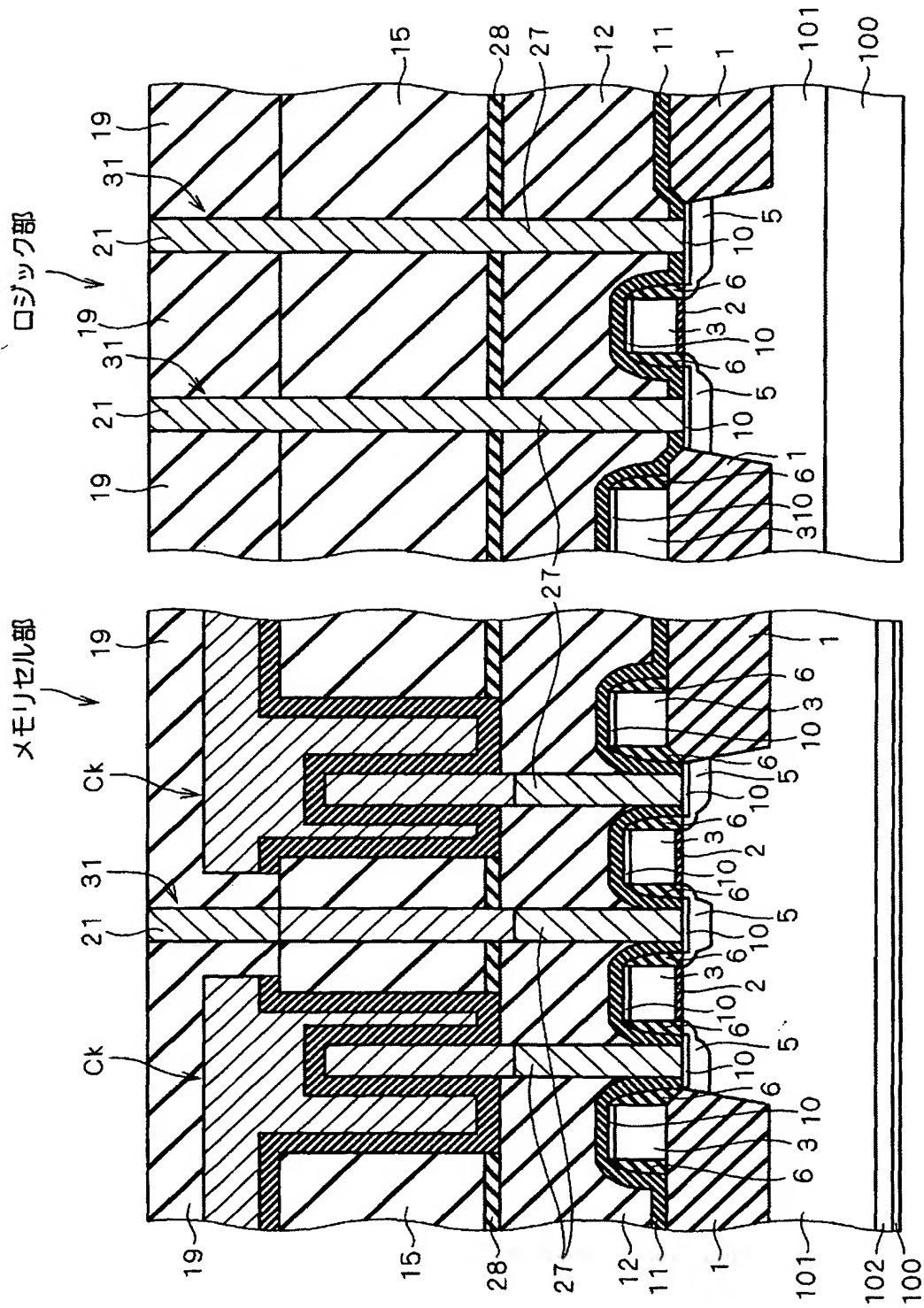
【図 74】



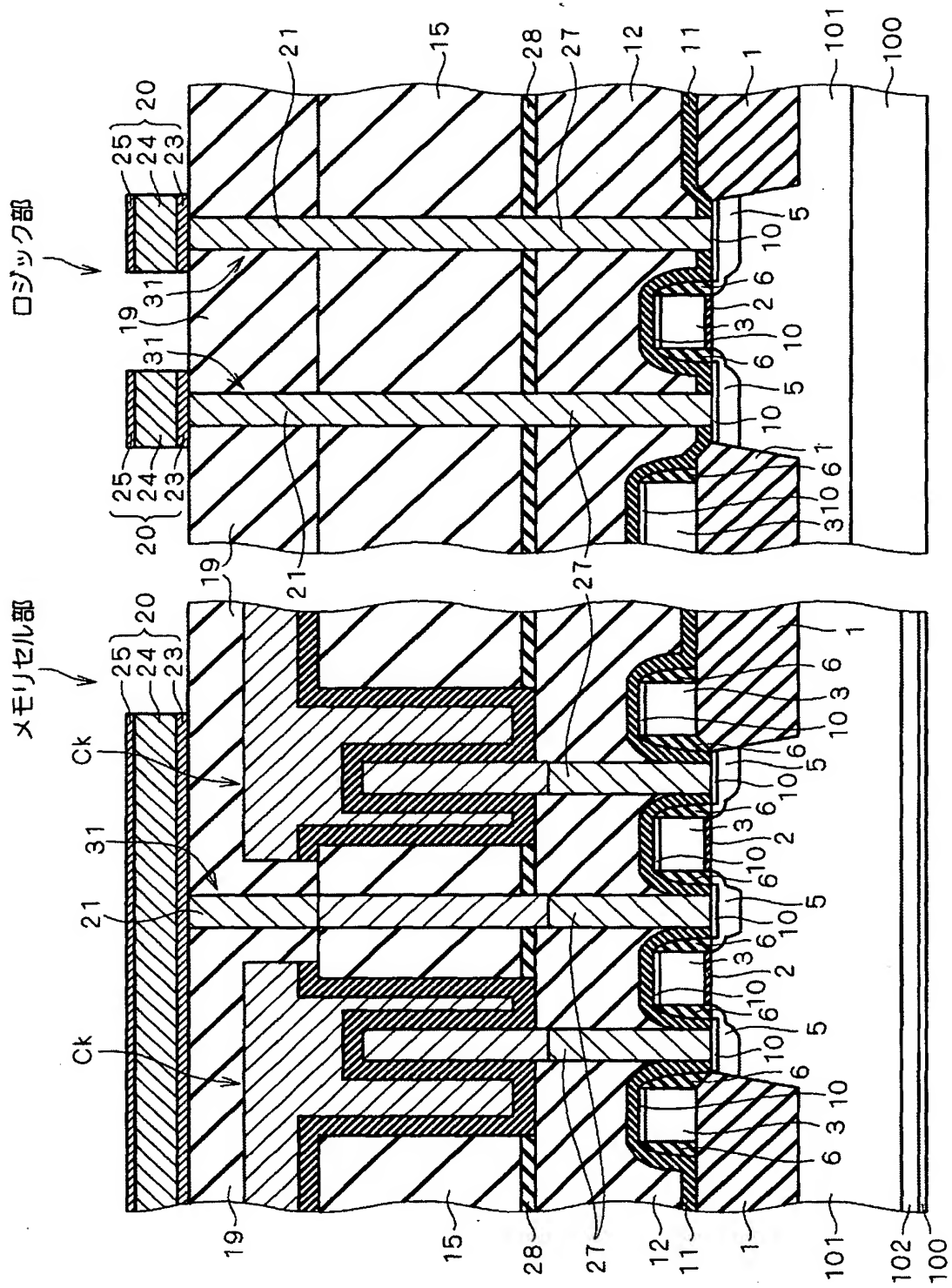
【図75】



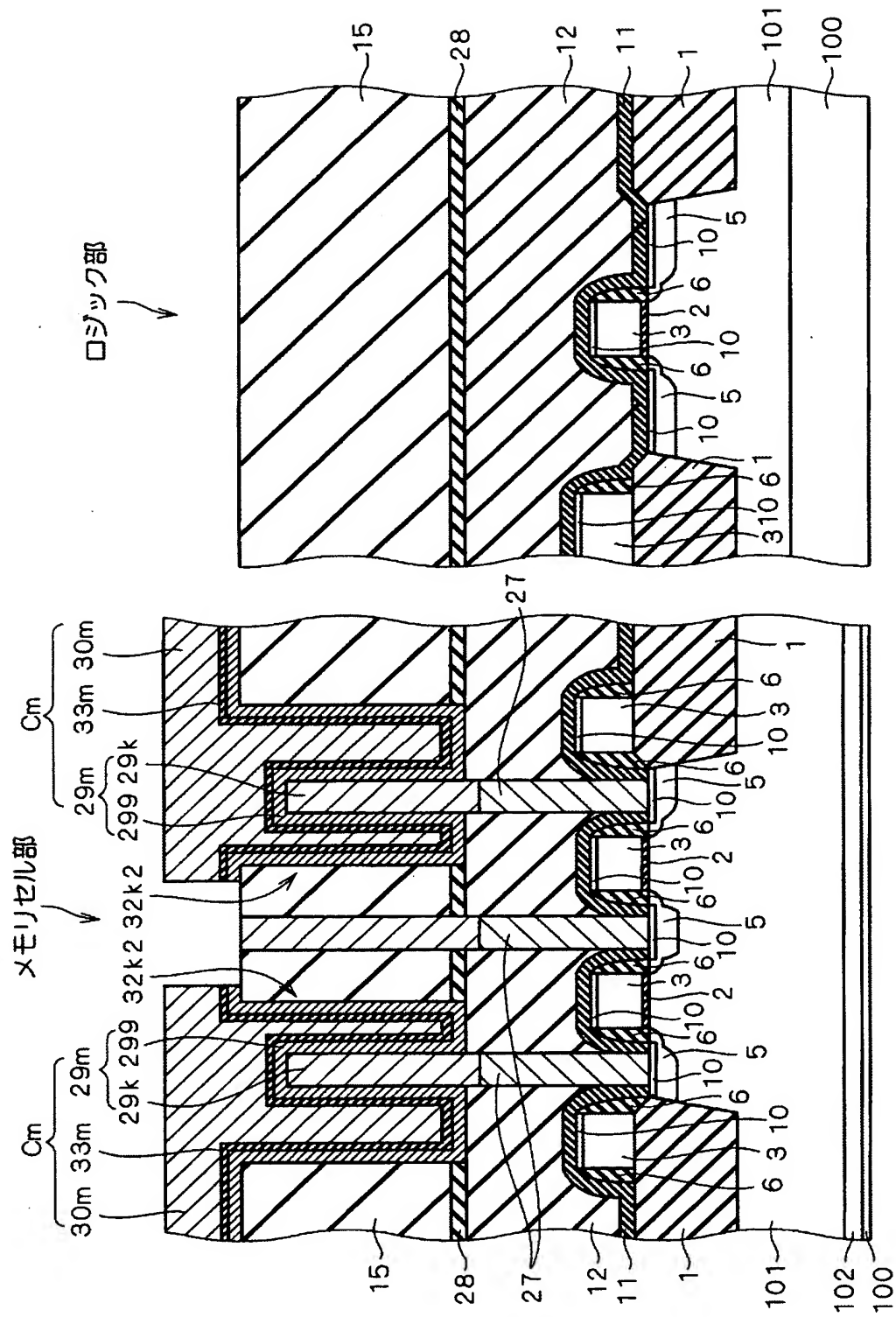
【図76】



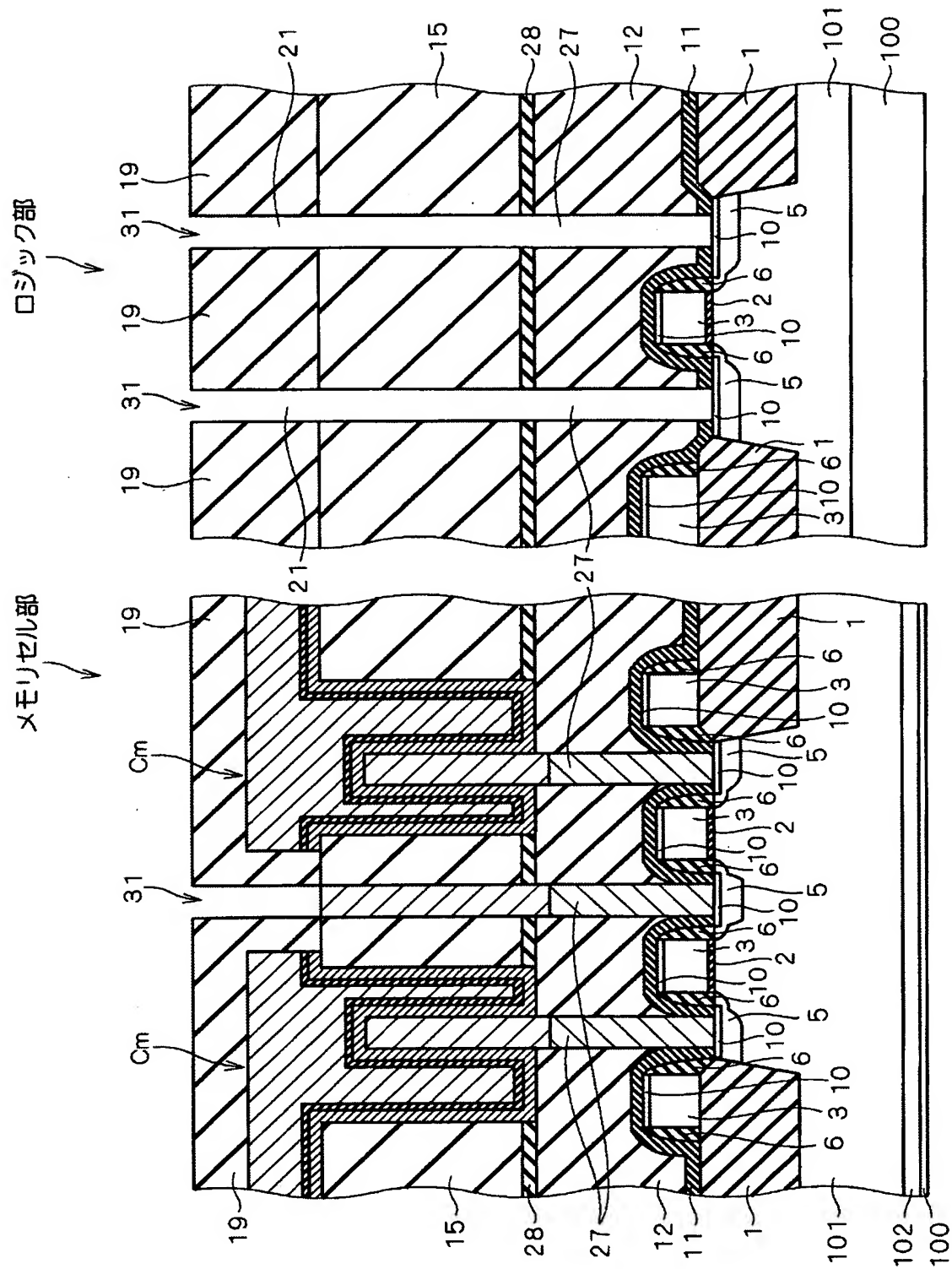
【図77】



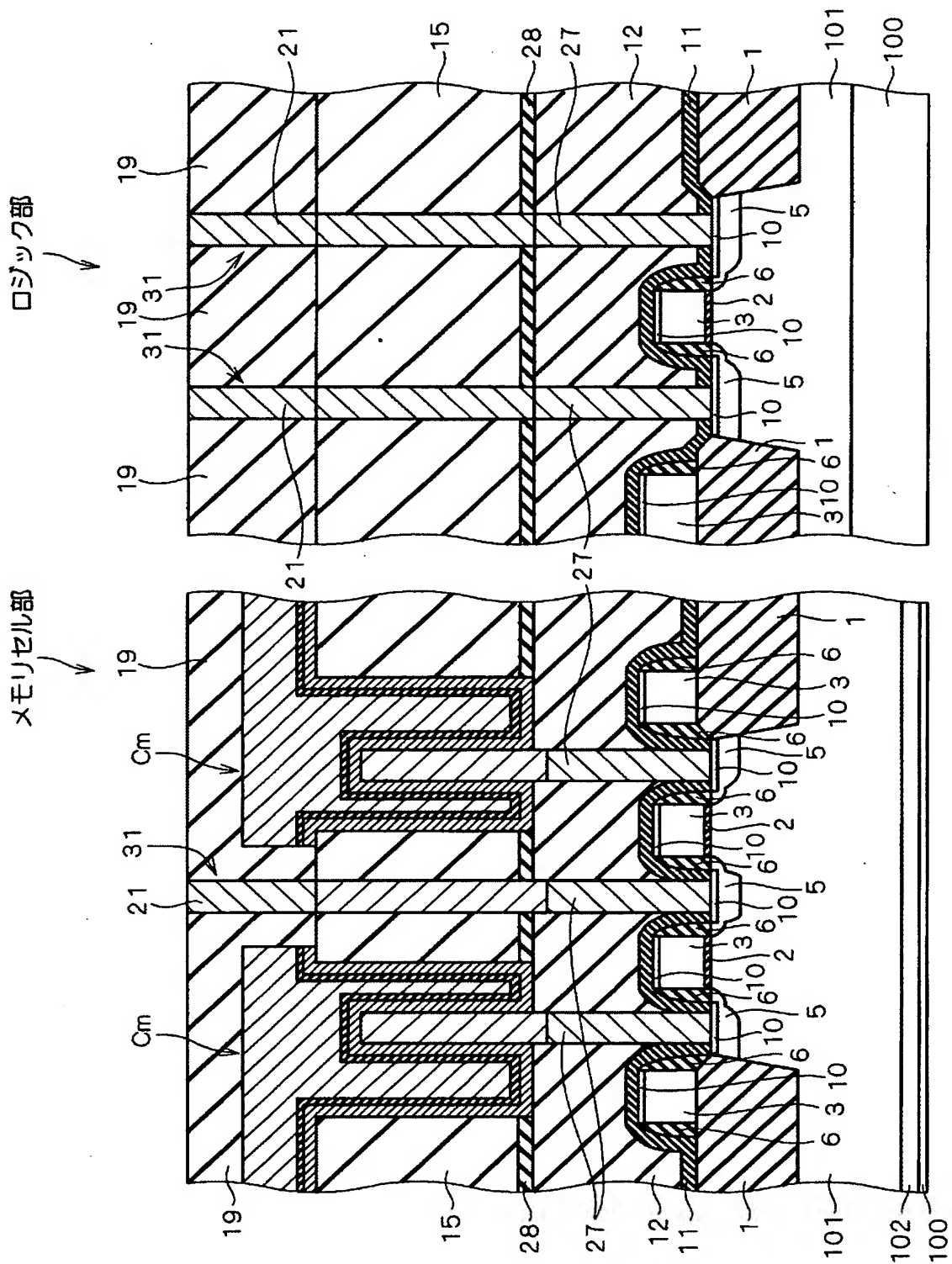
【図 78】



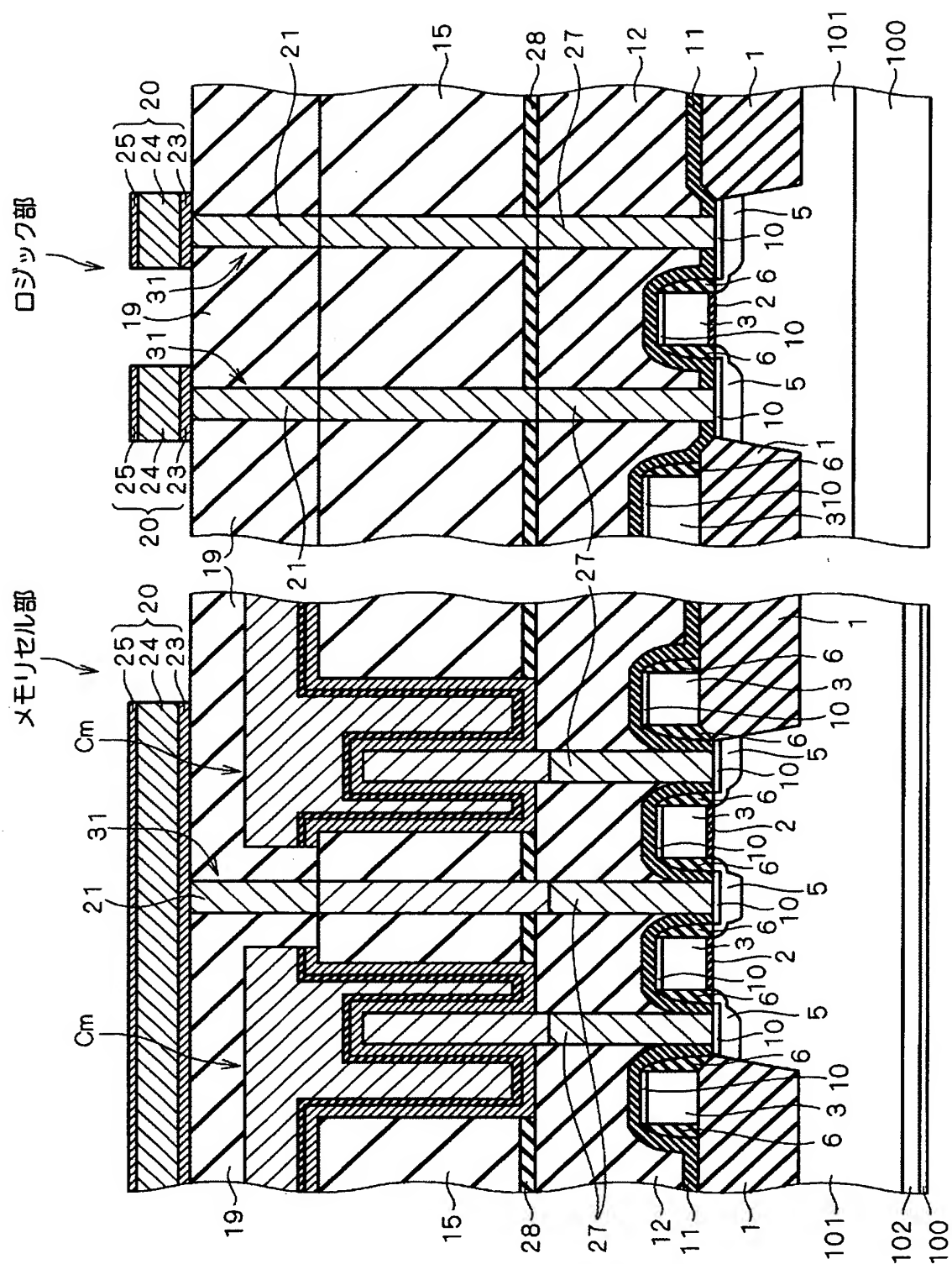
【図79】



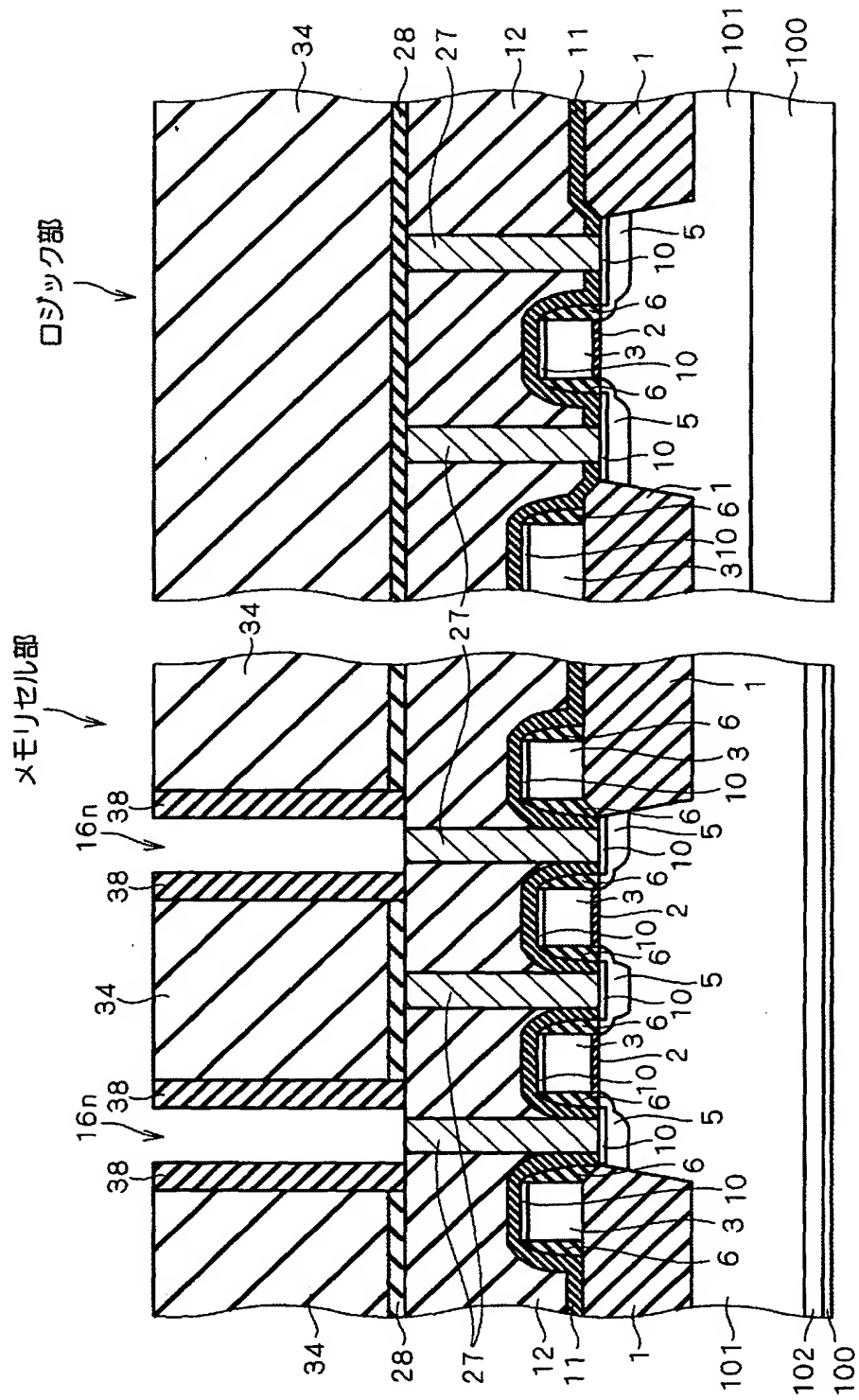
【図80】



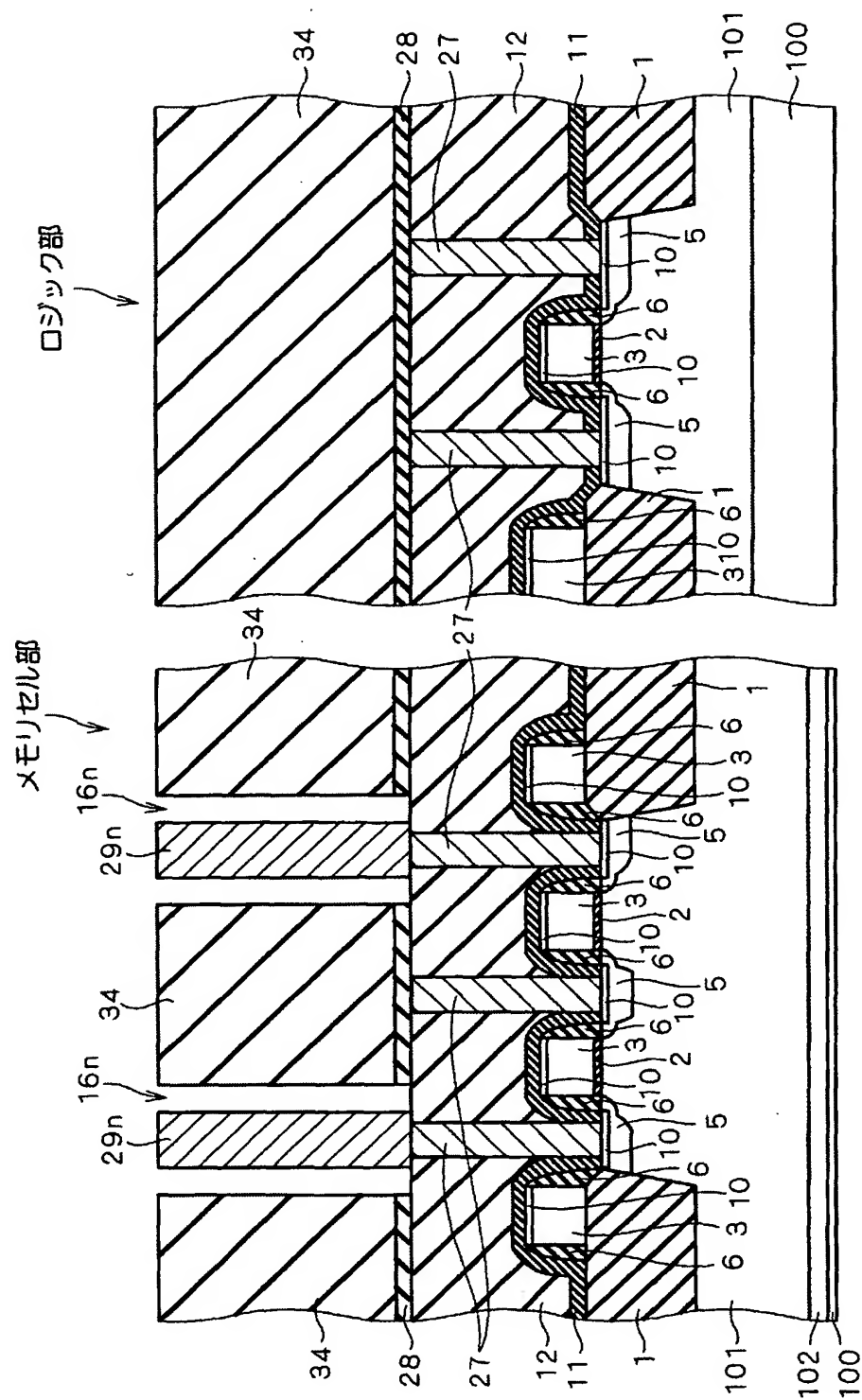
【図 81】



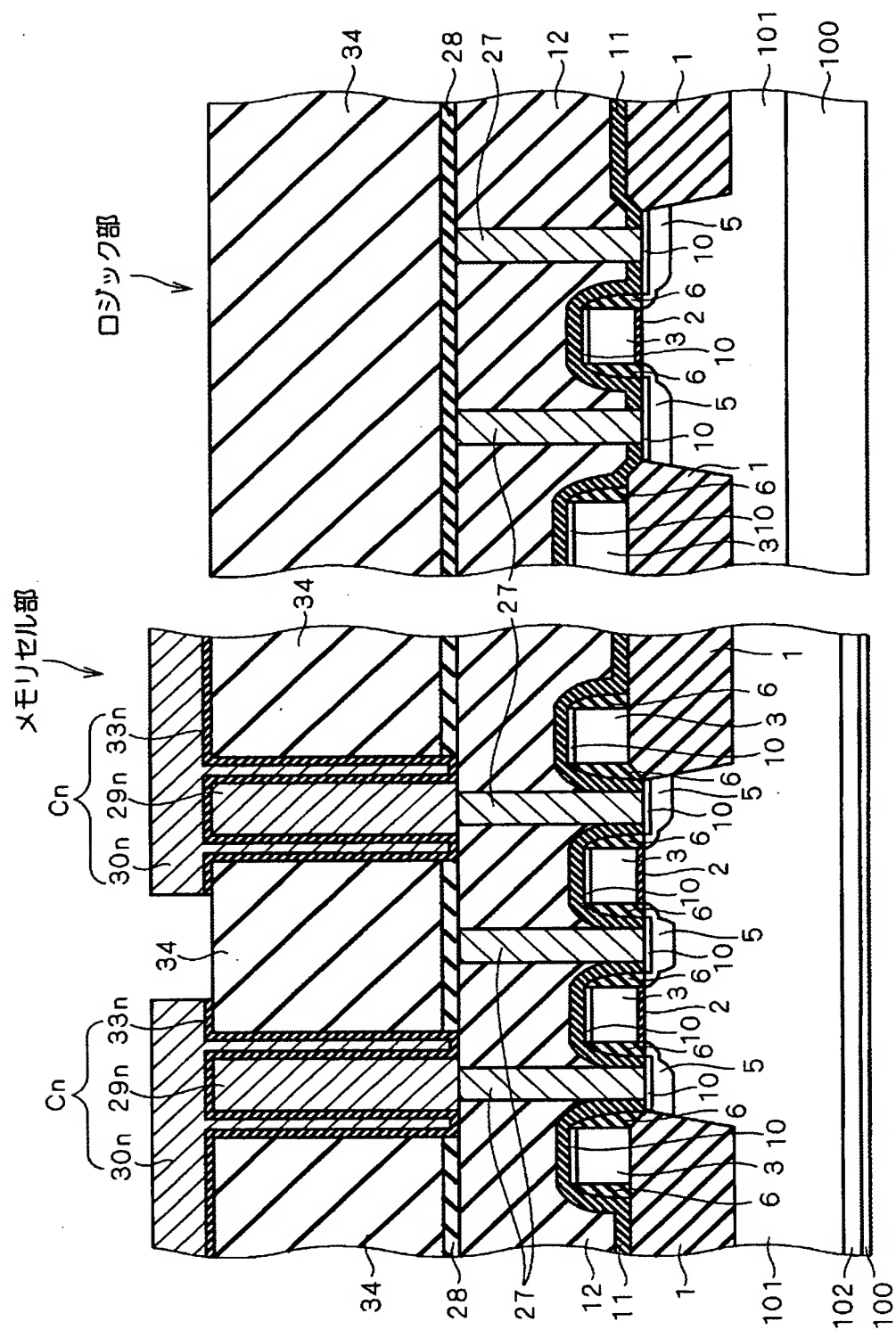
【図82】



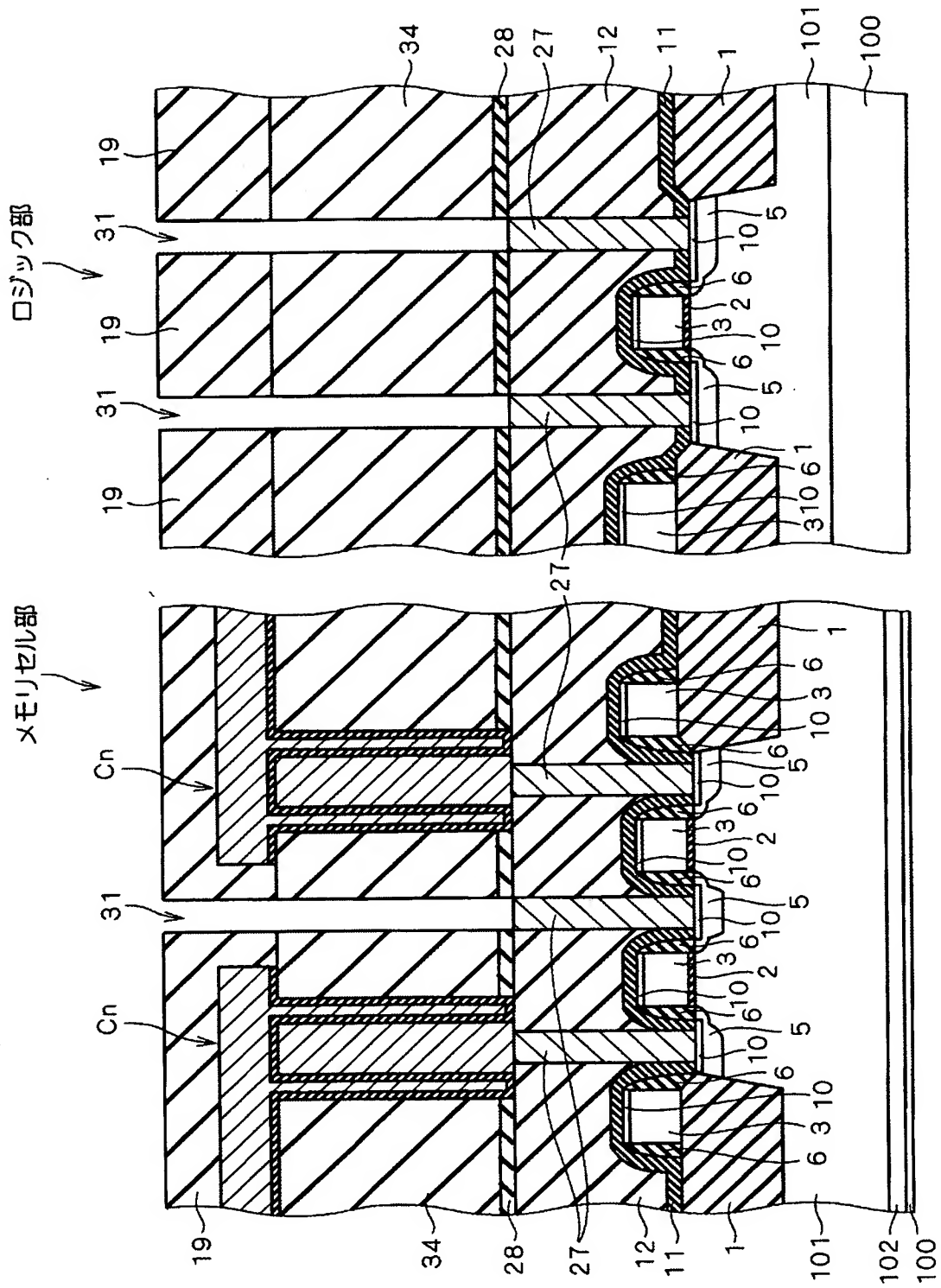
【图 8 3】



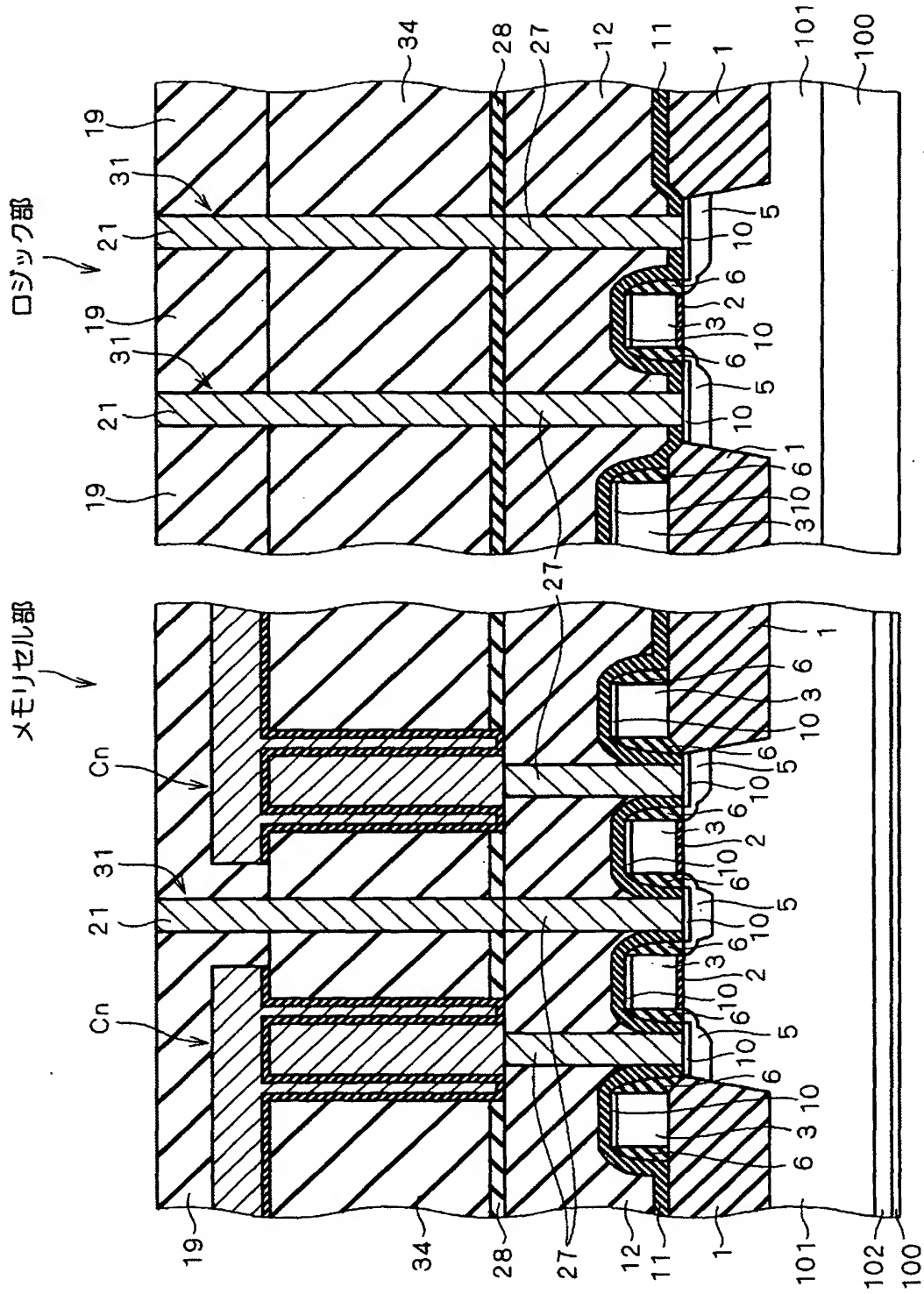
【図 8 4】



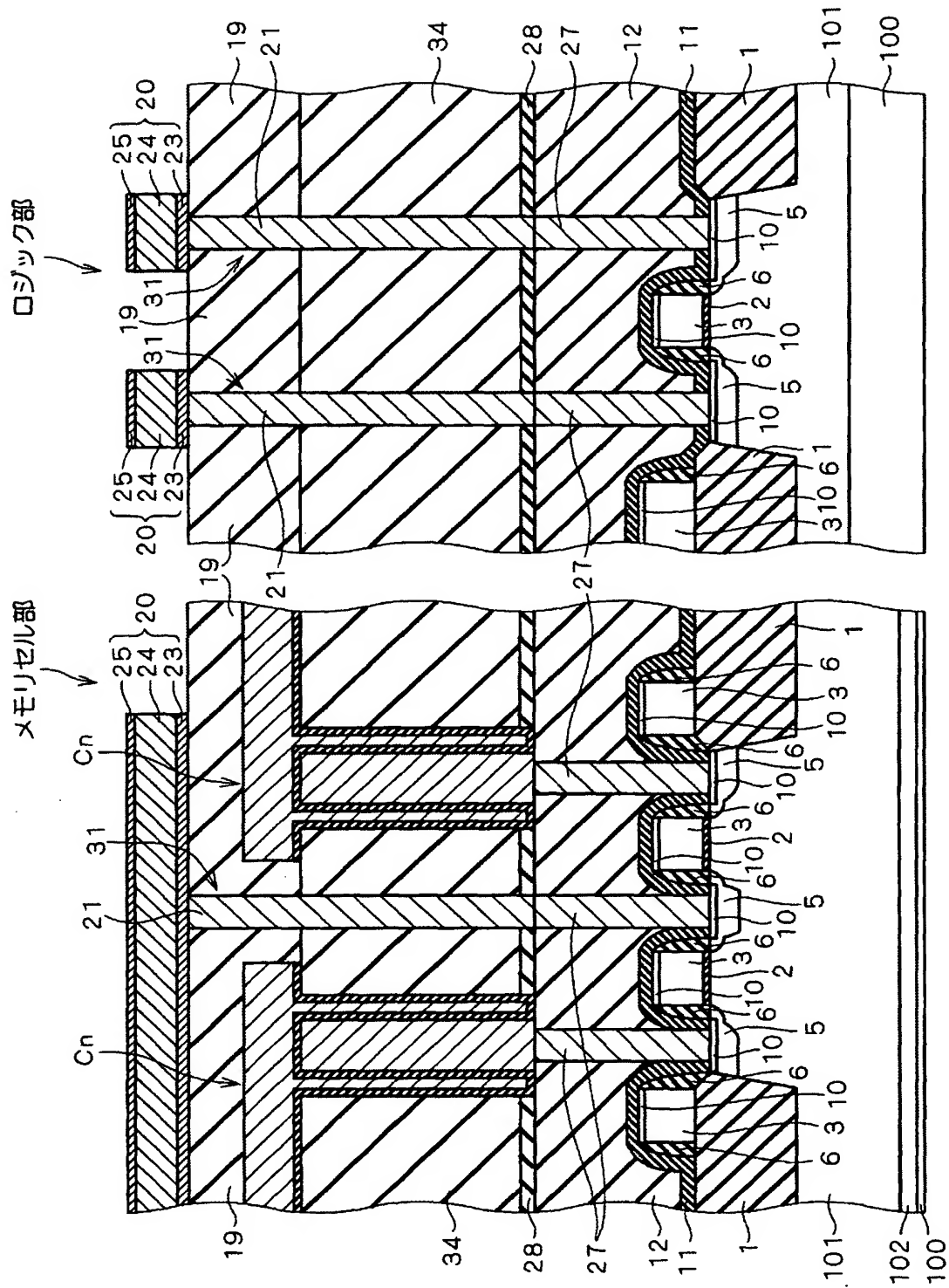
【図85】



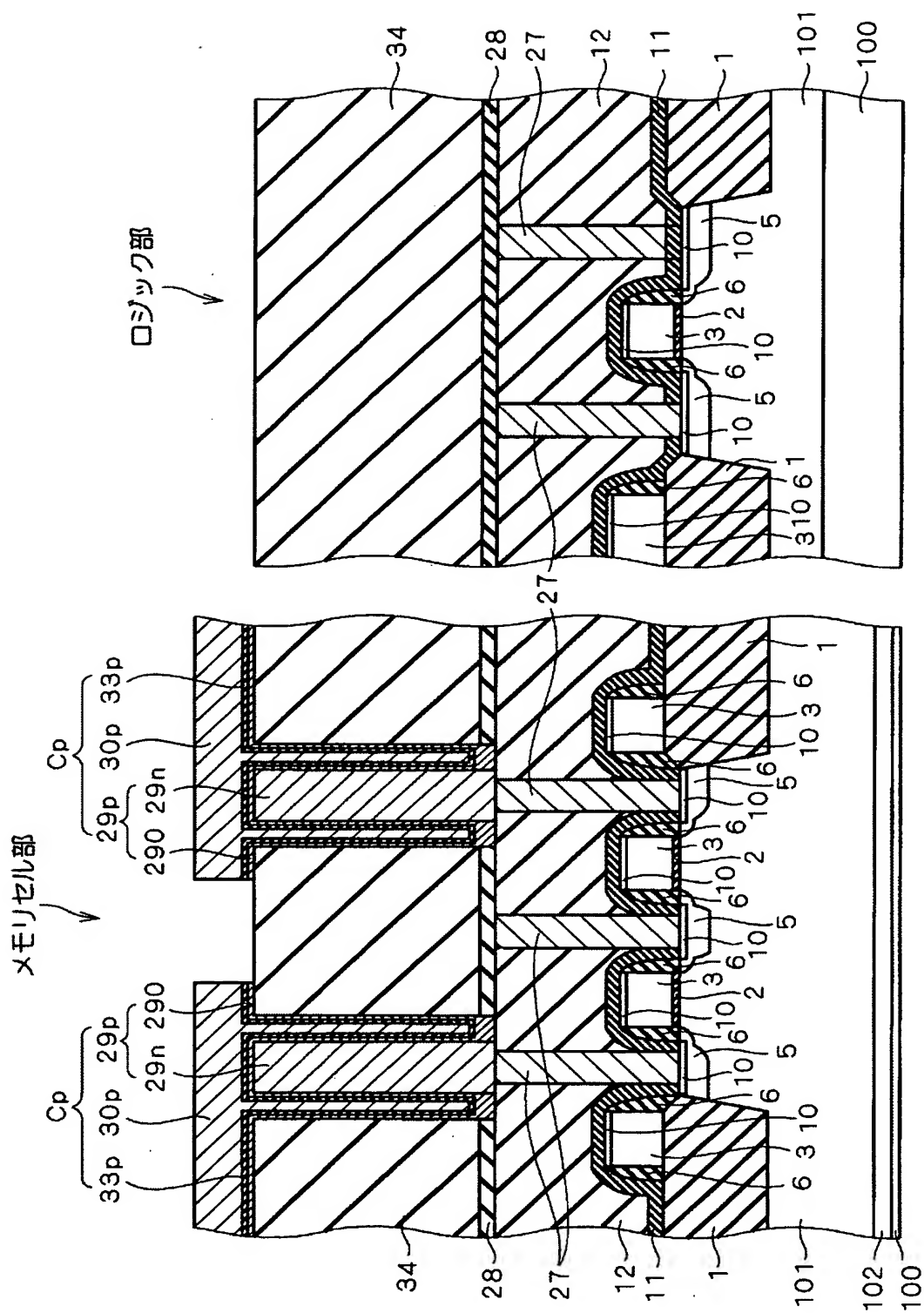
【図86】



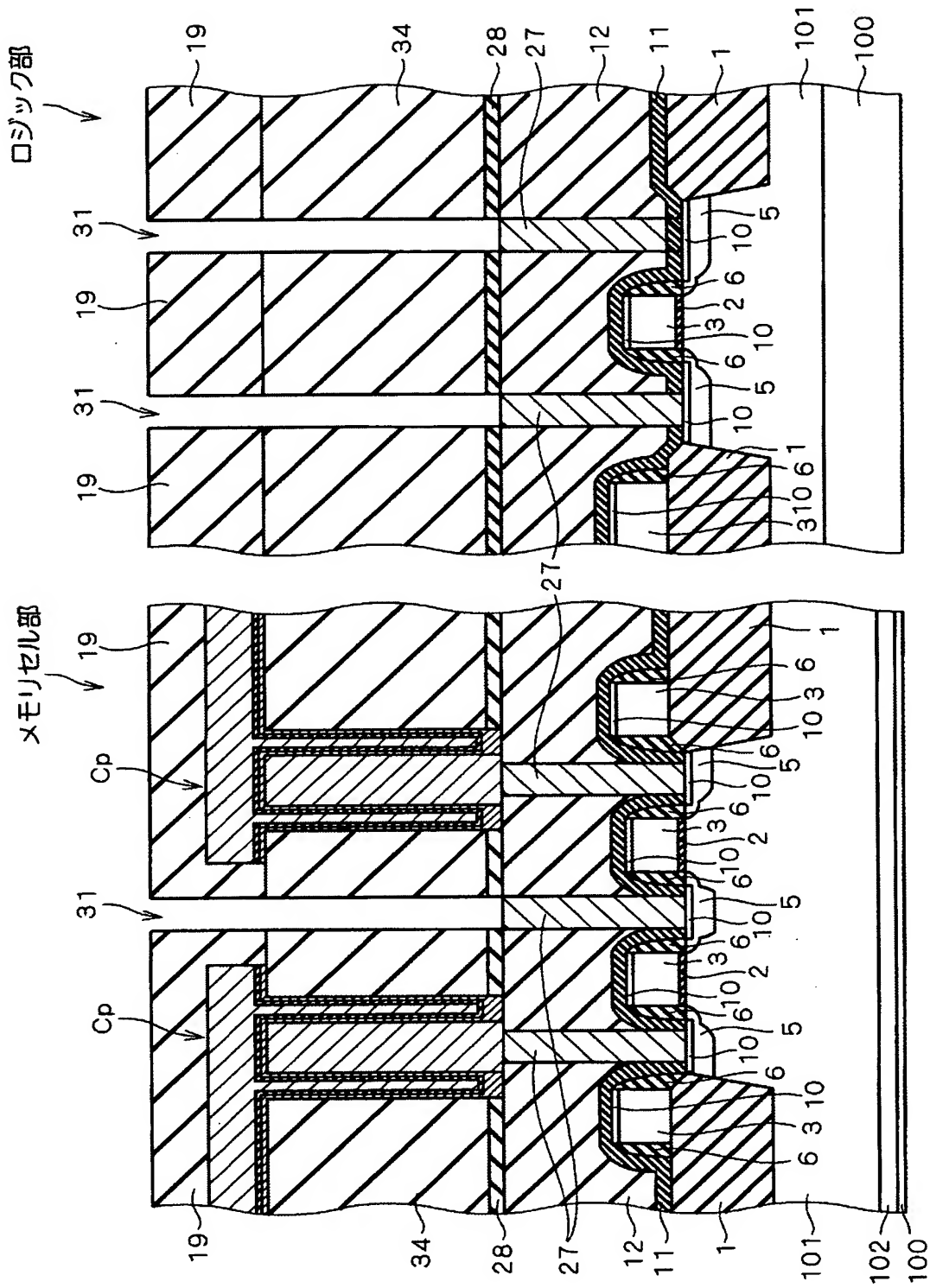
【図87】



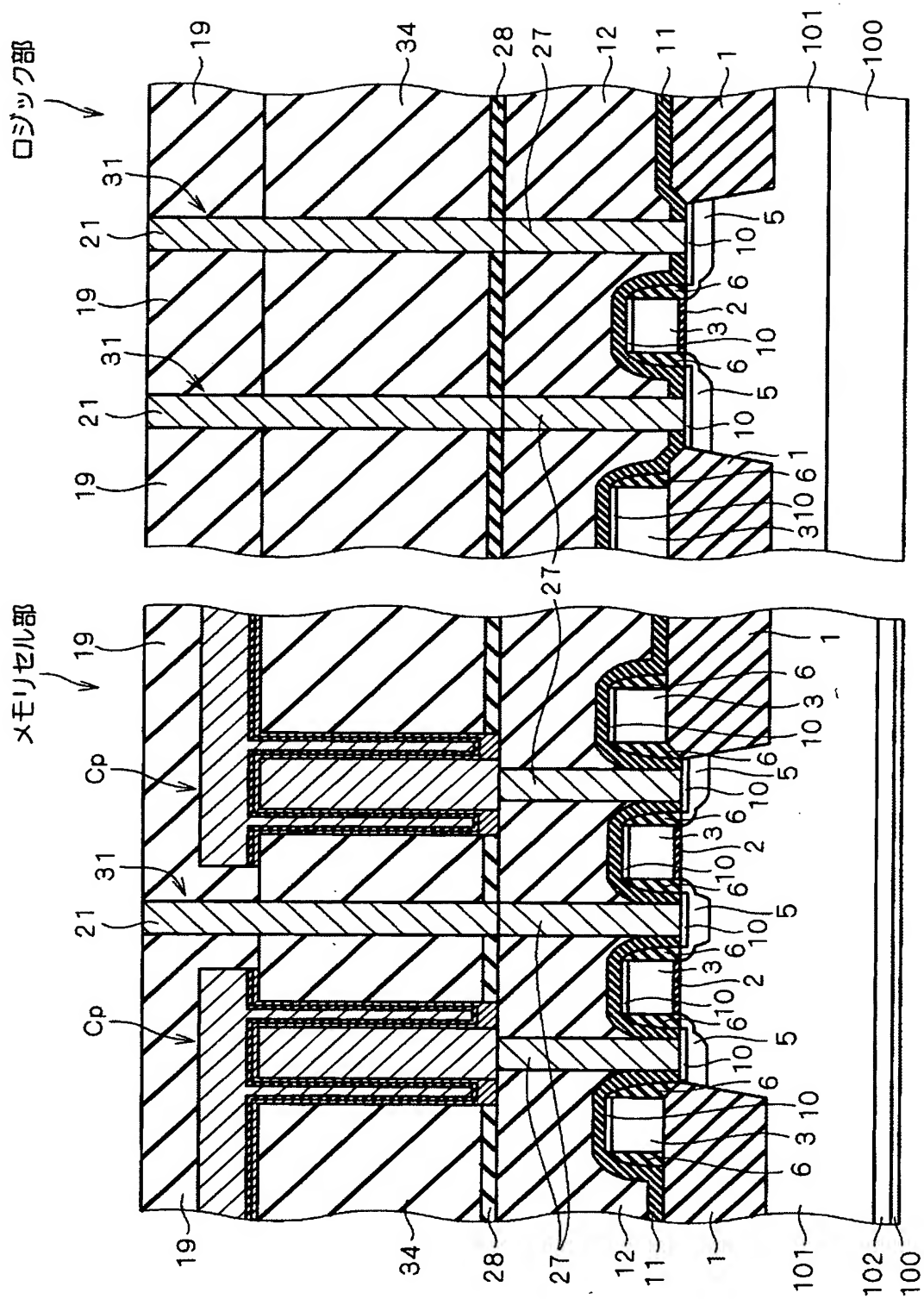
【图 8 8】



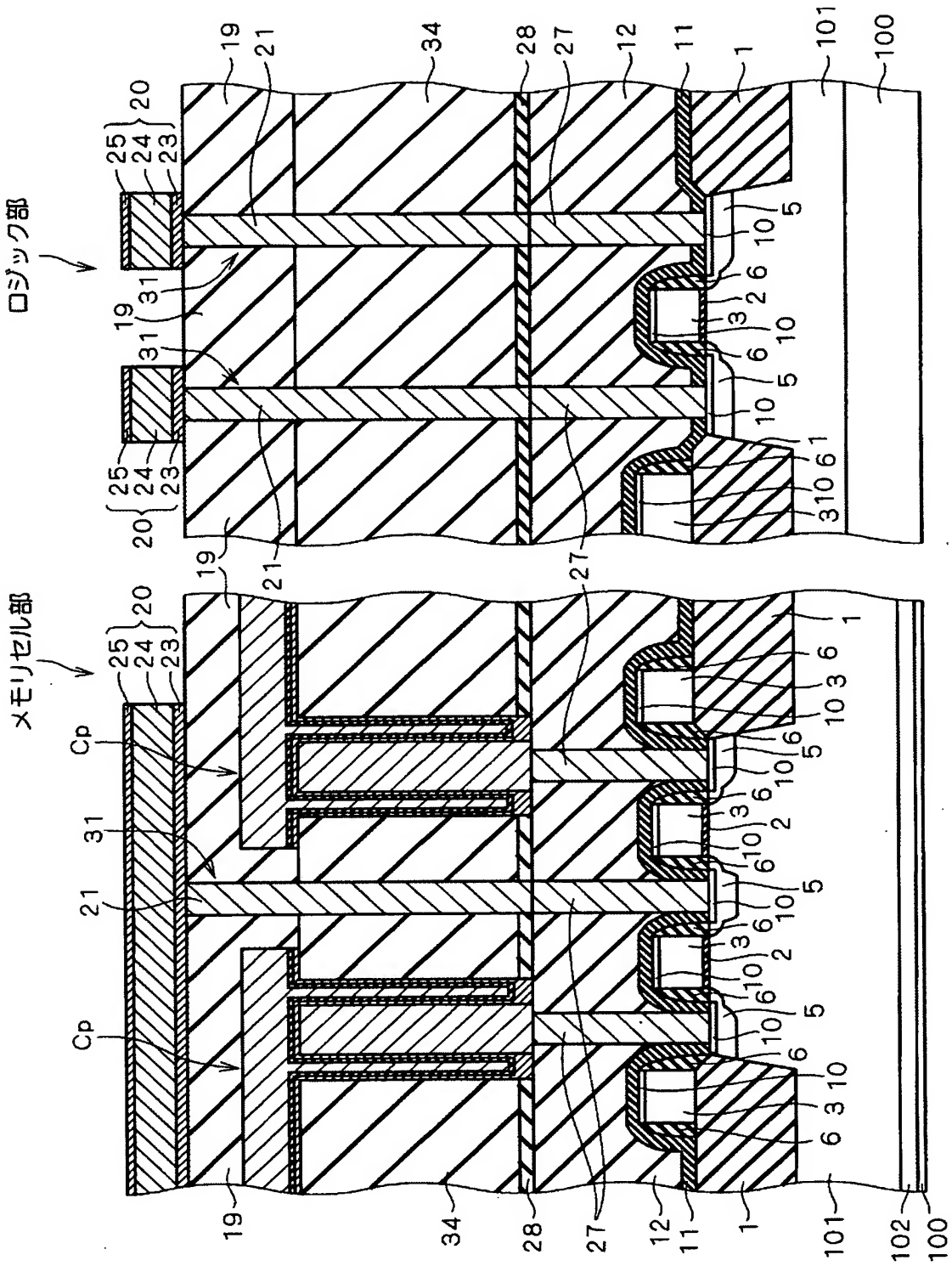
【図89】



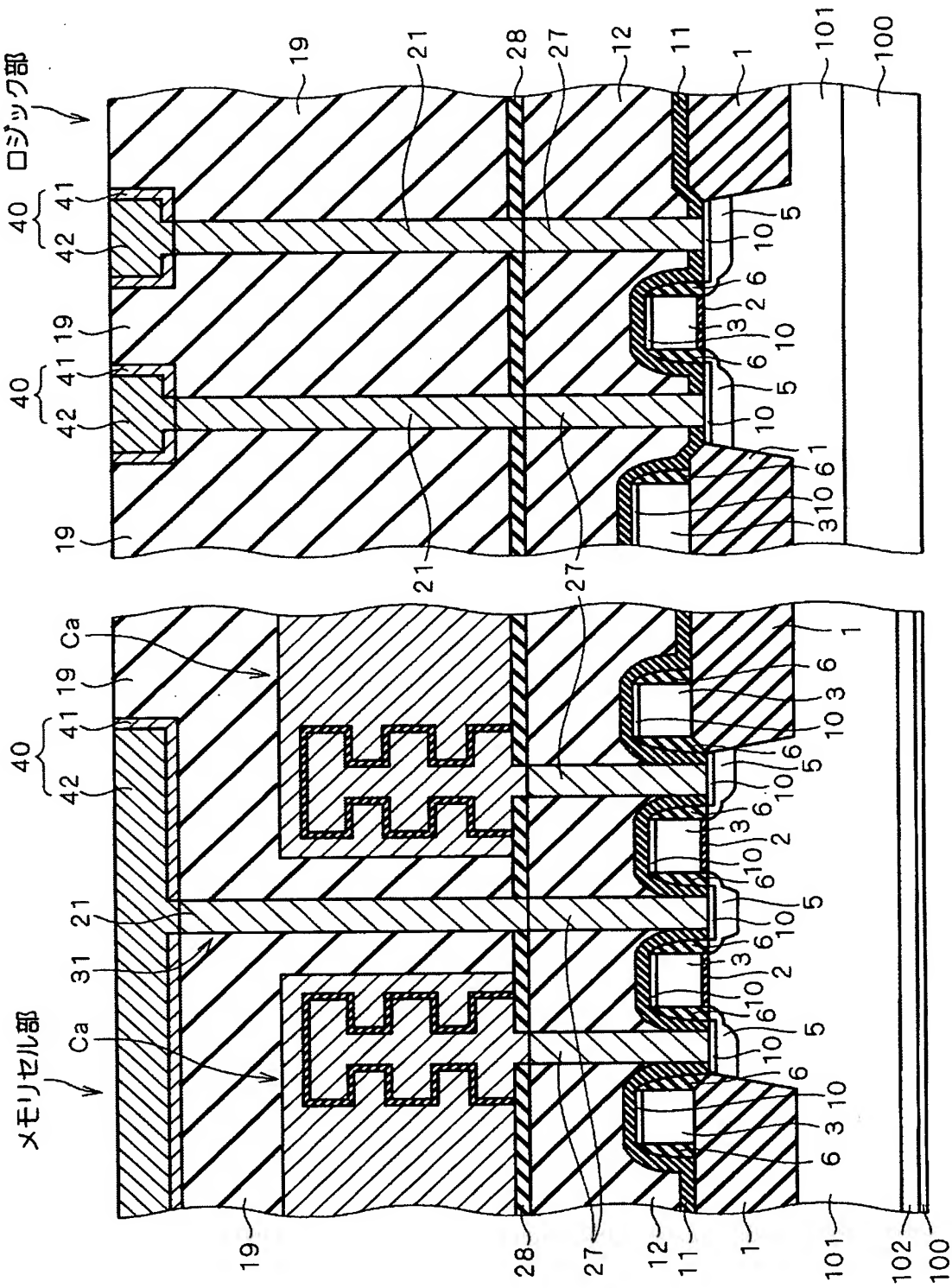
【図 9 0】



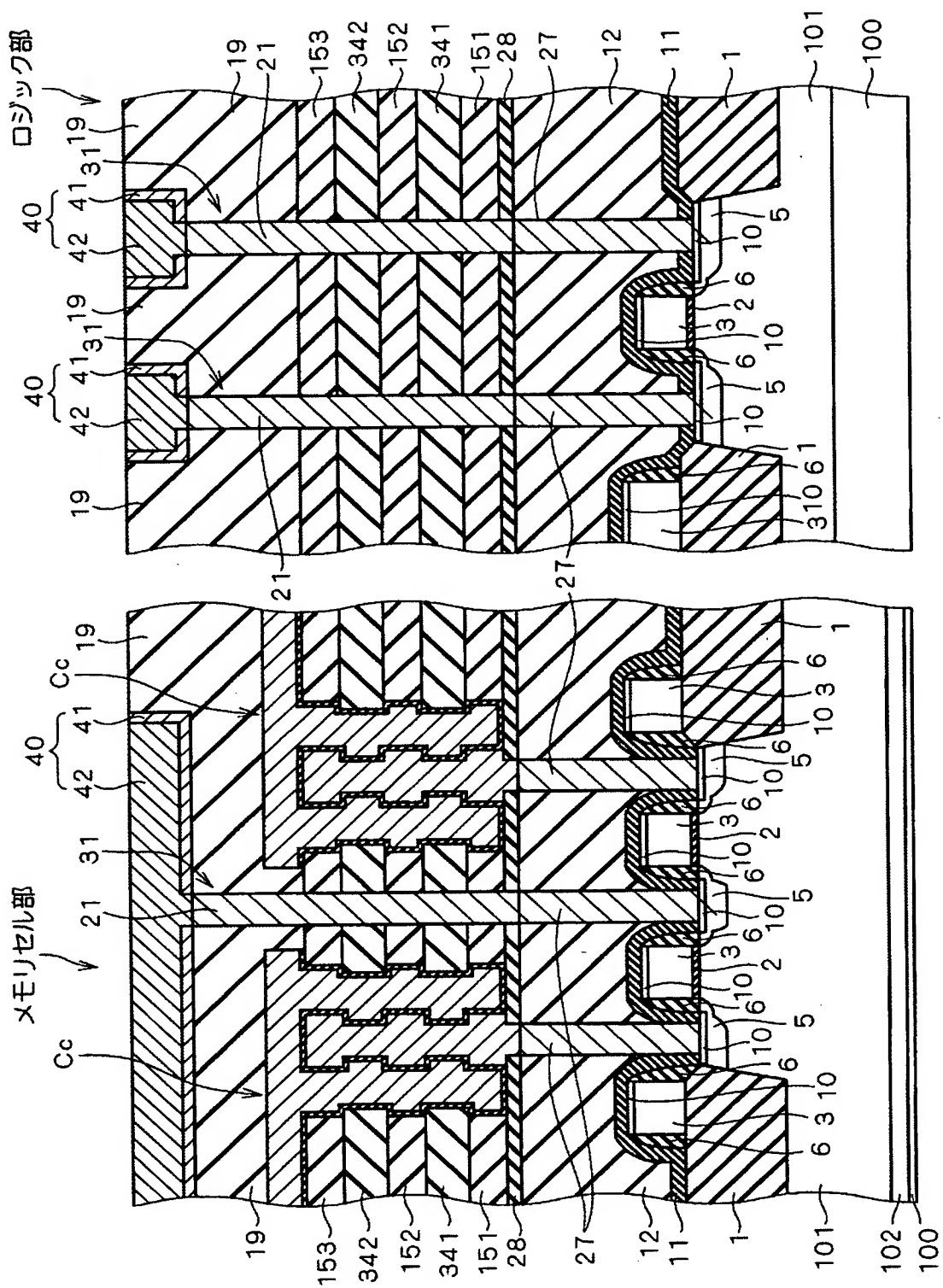
【図91】



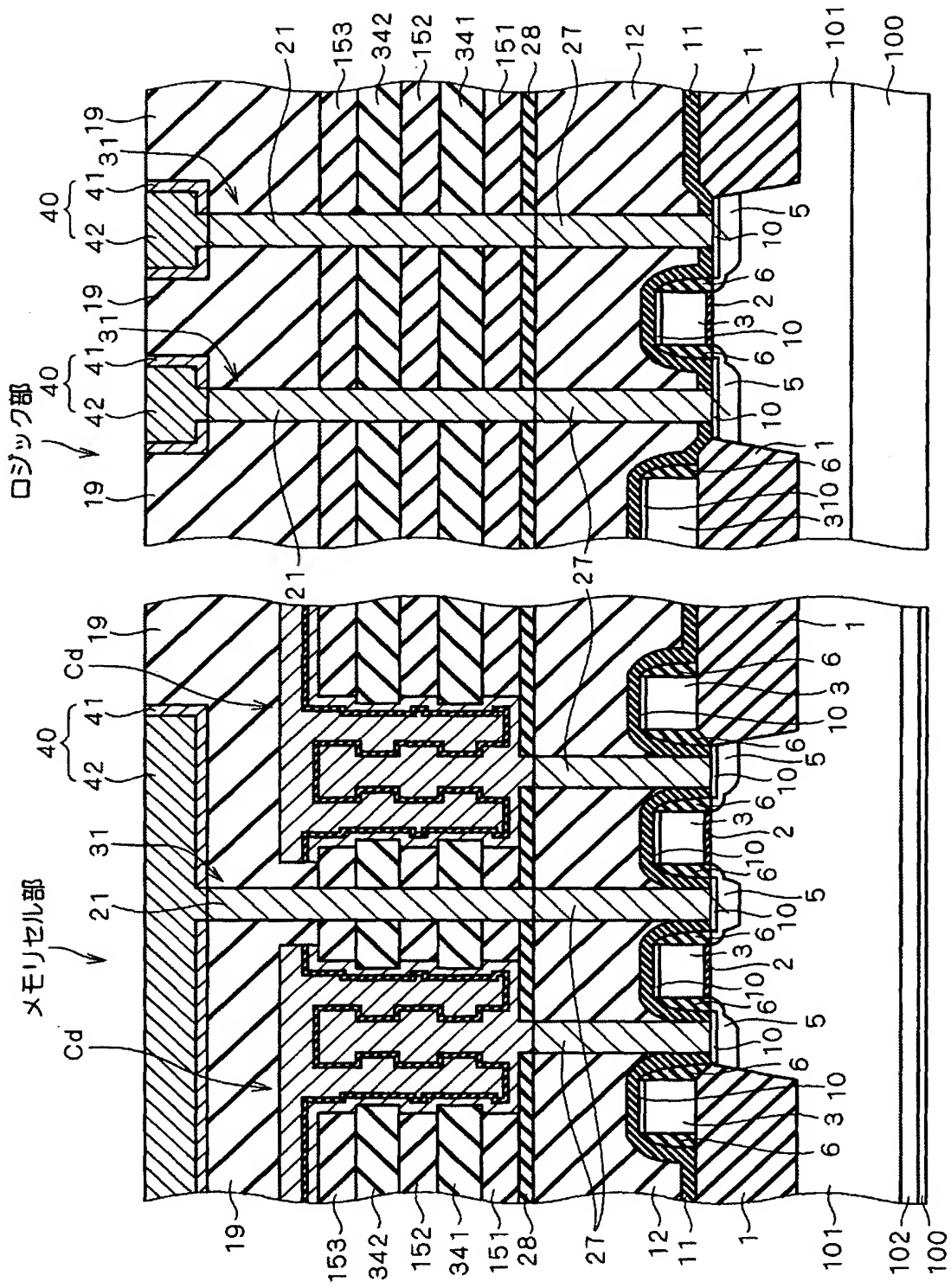
【図92】



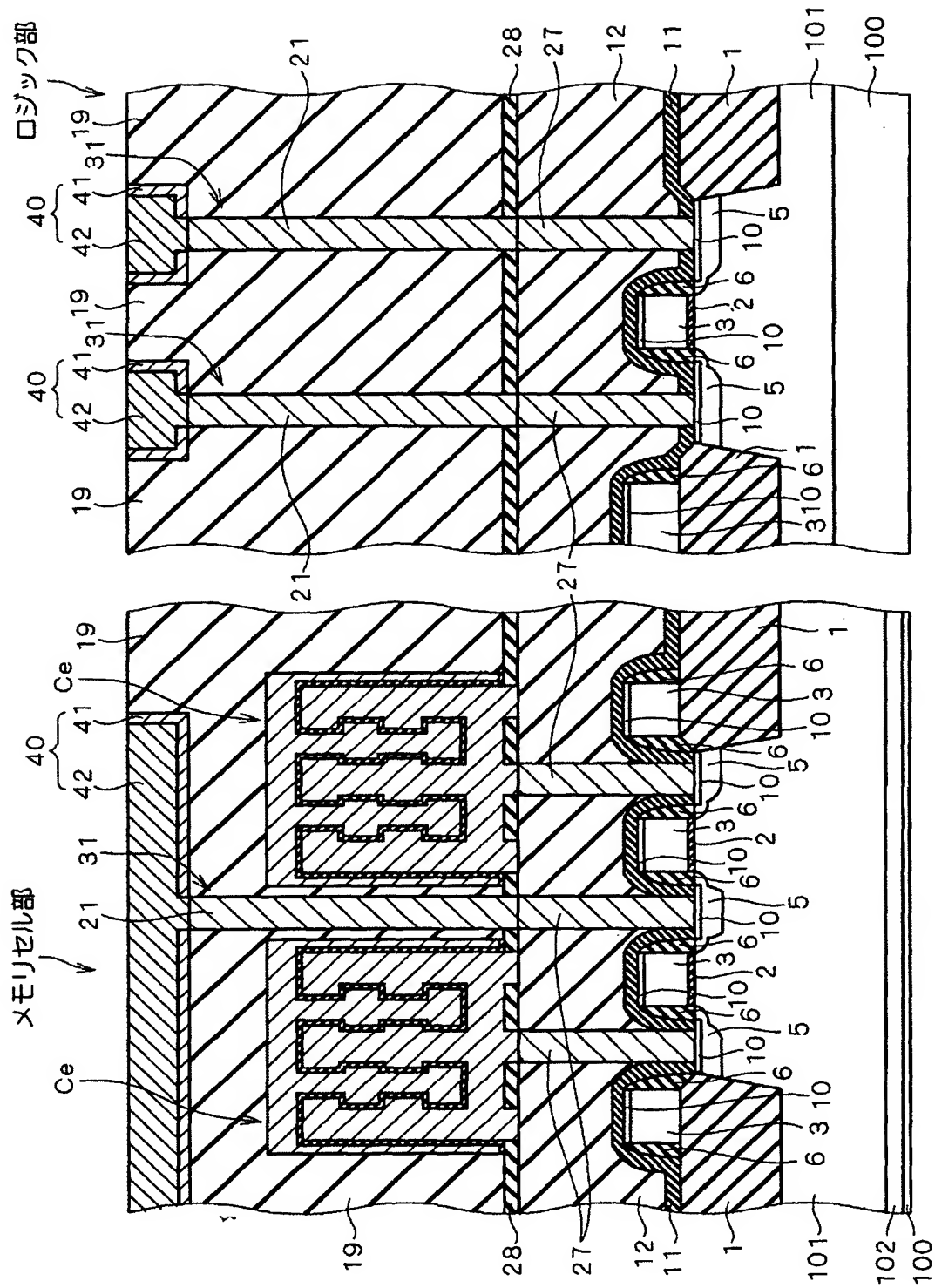
【图 9 3】



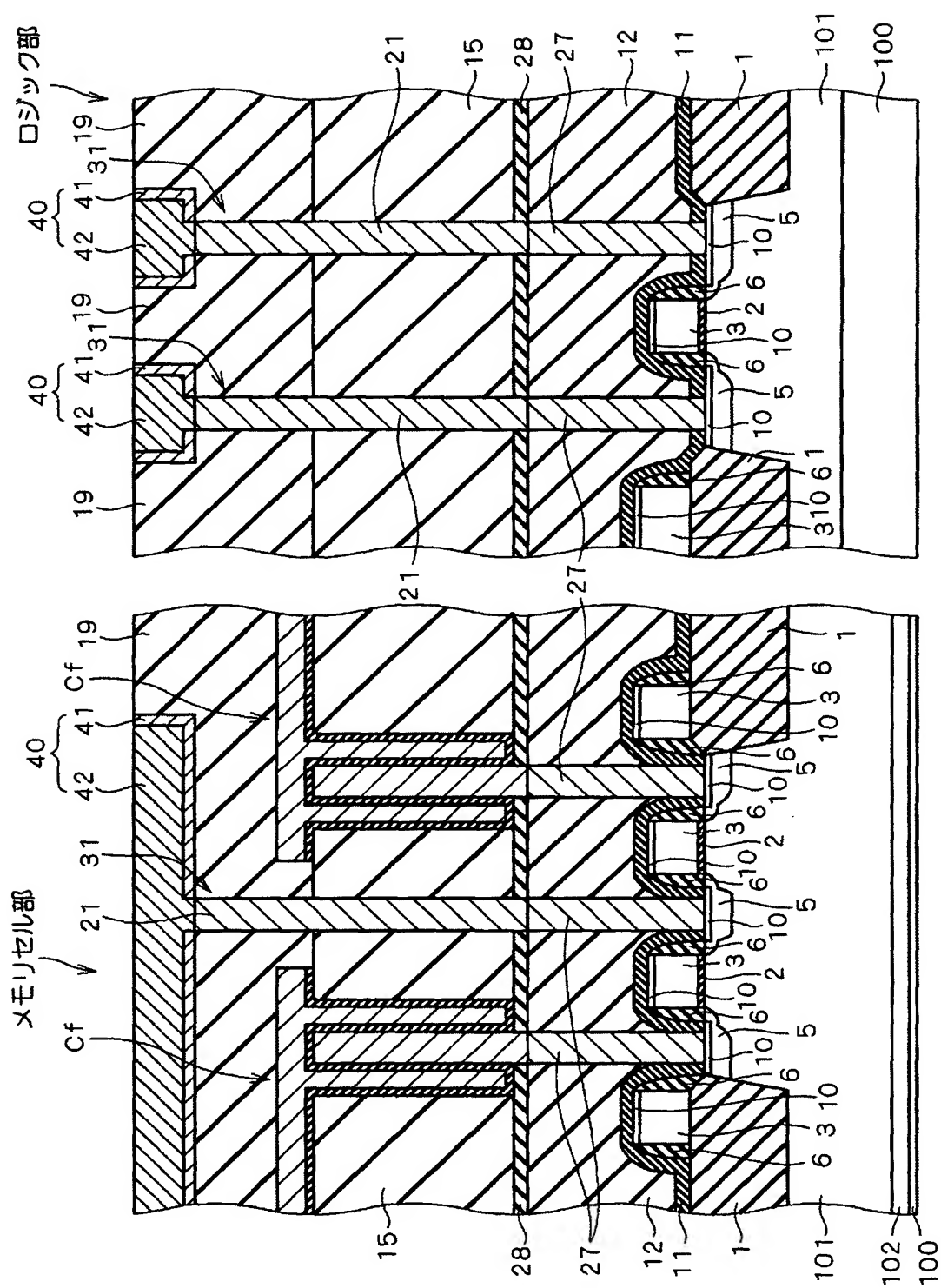
【図 9 4】



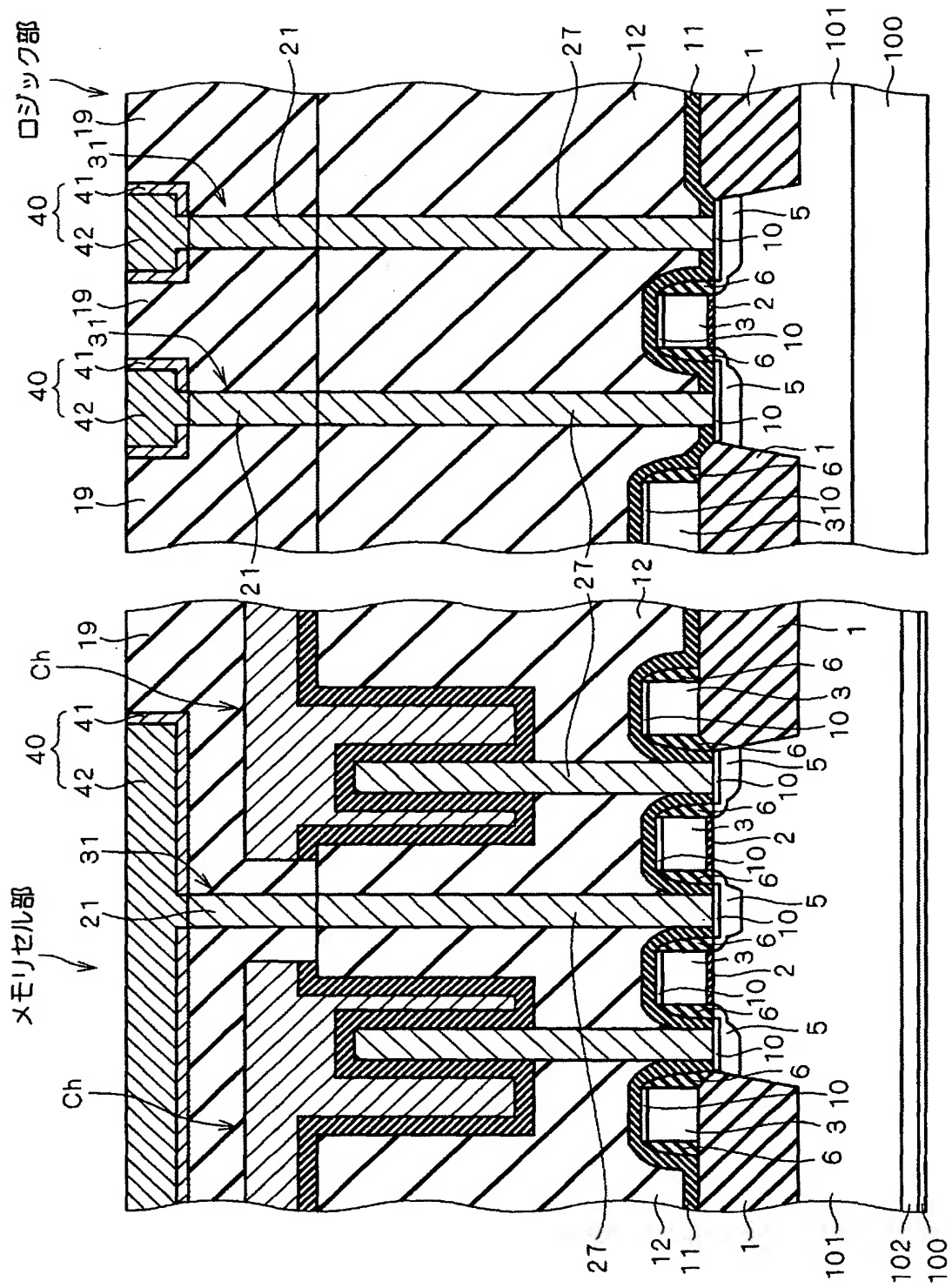
【図 9 5】



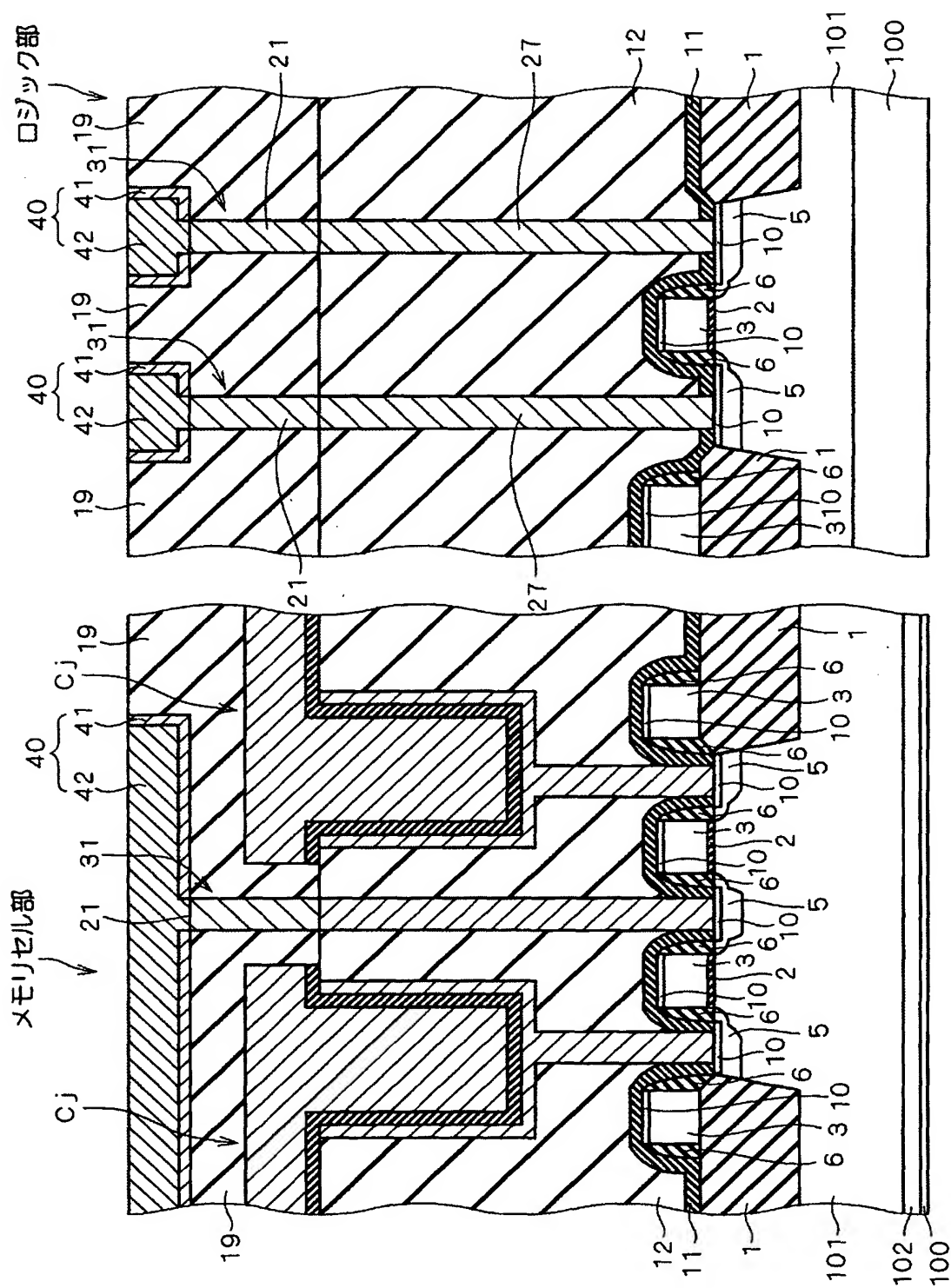
【図 9 6】



【図97】



【图 9 8】



【書類名】 要約書

【要約】

【課題】 MIM型の容量素子の下部電極の形成を容易にする。

【解決手段】 シリコン窒化膜 2 8 上に金属膜 2 9 1、層間絶縁膜 1 5 1、金属膜 2 9 2、層間絶縁膜 1 5 2 を、この順に堆積する。層間絶縁膜 1 5 1、1 5 2 や金属膜 2 9 1、2 9 2 を貫通し、下部電極を形成すべき位置のコンタクト金属 2 7 を露出させる開口 3 2 a を形成する。開口 3 2 a を充填しつつ、層間絶縁膜 1 5 2 を覆う金属膜 2 9 3 を形成する。下部電極の主部及び最も上側の（すなわち最も基板 1 0 0 から離れた）フィンは金属膜 2 9 3 によって同一工程において形成される。

【選択図】 図 9

職権訂正履歴（職権訂正）

特許出願の番号	特願 2003-015918
受付番号	50300111963
書類名	特許願
担当官	田丸 三喜男 9079
作成日	平成15年 1月27日

<訂正内容1>

訂正ドキュメント

図面

訂正原因

職権による訂正

訂正メモ

職権により訂正しました。

訂正前内容

0【図74】

訂正後内容

【図74】

次頁無

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社